

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09252098 A**(43) Date of publication of application: **22.09.97**

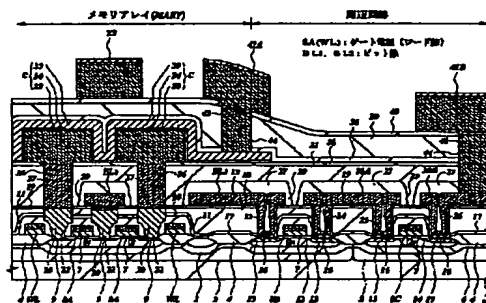
(51) Int. Cl.

**H01L 27/108**  
**H01L 21/8242**
(21) Application number: **08309369**(22) Date of filing: **20.11.96**(30) Priority: **12.01.96 JP 08 3648**(71) Applicant: **HITACHI LTD**
(72) Inventor: **NARUI SEIJI**  
**KAJITANI KAZUHIKO**  
**YOSHIDA MAKOTO**  
**UDAGAWA SATORU**
**(54) SEMICONDUCTOR INTEGRATED CIRCUIT  
 DEVICE AND MANUFACTURE THEREOF**
**(57) Abstract:**

**PROBLEM TO BE SOLVED:** To simplify the step of manufacturing a DRAM having a COB structure by connecting the sheet resistor of a bit line of specific value or less to one of the source region and drain region of a memory cell selecting MISFET.

**SOLUTION:** A memory cell selecting MISFET is constituted by a gate oxide film 7, a gate electrode 8A formed integrally with a word line WL, a source region and a drain region 9. A sheet resistor of a gate electrode 8A having  $2\Omega/\text{square}$  or less and a sheet resistor of bit lines BL, BL<sub>2</sub> are connected to one of the source and drain regions 9. Thus, since the wiring layer of a memory array and the wiring layer of a peripheral circuit can be reduced, the steps of manufacturing a DRAM are reduced to improve the yield and the manufacturing cost can be decreased.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

**特開平9-252098**

(43)公開日 平成9年(1997)9月22日

(51)Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	FI	技術表示箇所
H 0 1 L 27/108			H 0 1 L 27/10	6 8 1 A
21/8242				6 8 1 B
				6 8 1 F

審査請求 未請求 請求項の数34 O.L (全 49 頁)

(21)出願番号 特願平8-309369

(22)出願日 平成8年(1996)11月20日

(31)優先權主張番号 特願平8-3648

(32)優先日 平8(1996)1月12日

(33)優先権主張国 日本 (JP)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 成井 誠司

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72)発明者 梶谷 一彦

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72)発明者 吉田 誠

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(74) 代理人 弁理士 筒井 大和

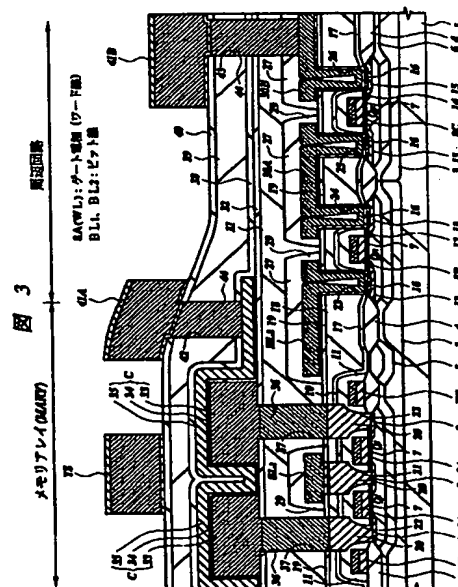
**最終頁に続く**

(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 DRAMの製造工程を簡略化して製造コストを低減する。

【解決手段】 DRAMのメモリセル選択用MISFE TQ<sub>t</sub>のゲート電極8A（ワード線WL）のシート抵抗、およびビット線BL<sub>1</sub>, BL<sub>2</sub>のシート抵抗をそれぞれ2Ω/□以下とし、ゲート電極8A（ワード線WL）およびビット線BL<sub>1</sub>, BL<sub>2</sub>を形成する工程で周辺回路の配線をそれぞれ同時に形成することにより、DRAMの製造工程を低減する。



## 【特許請求の範囲】

【請求項1】 メモリセル選択用MISFETとその上部に形成された情報蓄積用容量素子とで構成されるメモリセルを備えたDRAMを有する半導体集積回路装置であって、前記メモリセル選択用MISFETのゲート電極と一体に構成されたワード線のシート抵抗と、前記メモリセル選択用MISFETのソース領域、ドレイン領域の一方に接続されるビット線のシート抵抗がそれぞれ $2\Omega/\square$ 以下であることを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置であって、前記メモリセル選択用MISFETのゲート電極と一体に構成されたワード線のシート抵抗と、前記メモリセル選択用MISFETのソース領域、ドレイン領域の一方に接続されるビット線のシート抵抗がそれぞれ $1\Omega/\square$ 以下であることを特徴とする半導体集積回路装置。

【請求項3】 請求項1記載の半導体集積回路装置であって、前記メモリセル選択用MISFETのゲート電極と一体に構成されたワード線は、少なくとも多結晶シリコン膜とその上部に形成された金属膜または金属シリサイド膜とを含む積層膜で構成されていることを特徴とする半導体集積回路装置。

【請求項4】 請求項1記載の半導体集積回路装置であって、前記ビット線は、前記メモリセル選択用MISFETの上部に配置され、前記情報蓄積用容量素子は、前記ビット線の上部に配置されていることを特徴とする半導体集積回路装置。

【請求項5】 請求項1記載の半導体集積回路装置であって、前記ビット線は、金属膜または金属シリサイド膜とを含む積層膜で構成されていることを特徴とする半導体集積回路装置。

【請求項6】 請求項1記載の半導体集積回路装置であって、前記情報蓄積用容量素子の上部に形成された配線のシート抵抗は、前記ビット線のシート抵抗と同一またはそれよりも小さいことを特徴とする半導体集積回路装置。

【請求項7】 請求項1記載の半導体集積回路装置であって、前記DRAMの周辺回路の所定の配線層には、前記メモリセル選択用MISFETのゲート電極と一体に構成されたワード線と同一製造工程で形成された配線が設けられていることを特徴とする半導体集積回路装置。

【請求項8】 請求項1記載の半導体集積回路装置であって、前記DRAMの周辺回路の所定の配線層には、前記ビット線と同一製造工程で形成された配線が設けられていることを特徴とする半導体集積回路装置。

【請求項9】 請求項1記載の半導体集積回路装置であって、前記DRAMの周辺回路には、前記ビット線と同一製造工程で形成された抵抗素子が設けられていることを特徴とする半導体集積回路装置。

【請求項10】 メモリセル選択用MISFETとその上部に形成された情報蓄積用容量素子とで構成されるメモリセルを備えたDRAMを有する半導体集積回路装置であって、前記情報蓄積用容量素子の蓄積電極のシート抵抗が $2\Omega/\square$ 以下であることを特徴とする半導体集積回路装置。

【請求項11】 請求項10記載の半導体集積回路装置であって、前記DRAMの周辺回路の所定の配線層には、前記情報蓄積用容量素子の蓄積電極と同一製造工程で形成された配線が設けられていることを特徴とする半導体集積回路装置。

【請求項12】 請求項10記載の半導体集積回路装置であって、前記DRAMの周辺回路には、前記情報蓄積用容量素子の蓄積電極と同一製造工程で形成された抵抗素子が設けられていることを特徴とする半導体集積回路装置。

【請求項13】 メモリセル選択用MISFETとその上部に形成された情報蓄積用容量素子とで構成されるメモリセルを備えたDRAMを有する半導体集積回路装置であって、前記情報蓄積用容量素子のプレート電極のシート抵抗が $2\Omega/\square$ 以下であることを特徴とする半導体集積回路装置。

【請求項14】 請求項13記載の半導体集積回路装置であって、前記DRAMの周辺回路の所定の配線層には、前記情報蓄積用容量素子のプレート電極と同一製造工程で形成された配線が設けられていることを特徴とする半導体集積回路装置。

【請求項15】 請求項13記載の半導体集積回路装置であって、前記DRAMの周辺回路には、前記情報蓄積用容量素子のプレート電極と同一製造工程で形成された抵抗素子が設けられていることを特徴とする半導体集積回路装置。

【請求項16】 メモリセル選択用MISFETとその上部に形成された情報蓄積用容量素子とで構成されるメモリセルを備えたDRAMを有する半導体集積回路装置の製造方法であって、(a)半導体基板上に $2\Omega/\square$ 以下のシート抵抗を有するメモリセル選択用MISFETのゲート電極と一体に構成されたワード線を形成する工程、(b)前記メモリセル選択用MISFETのゲート電極と一体に構成されたワード線の上部に $2\Omega/\square$ 以下のシート抵抗を有し、前記メモリセル選択用MISFETのソース領域、ドレイン領域の一方に接続されるビット線を形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項17】 請求項16記載の半導体集積回路装置の製造方法であって、前記ビット線の上部に蓄積電極、プレート電極の少なくとも一方が $2\Omega/\square$ 以下のシート抵抗を有する情報蓄積用容量素子を形成する工程を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項18】 請求項17記載の半導体集積回路装置

の製造方法であって、前記情報蓄積用容量素子の上部に前記ビット線のシート抵抗と同一またはそれよりも小さいシート抵抗を有する配線を形成する工程を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項19】 請求項16記載の半導体集積回路装置の製造方法であって、前記工程(a)または前記工程(b)で周辺回路の第1層目の配線を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項20】 請求項19記載の半導体集積回路装置の製造方法であって、前記情報蓄積用容量素子の蓄積電極またはプレート電極を形成する工程で周辺回路の第2層目の配線を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項21】 請求項20記載の半導体集積回路装置の製造方法であって、前記情報蓄積用容量素子の上部に前記情報蓄積用容量素子のプレート電極に積層される配線およびY選択線を形成する工程で周辺回路の第3層目の配線を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項22】 請求項21記載の半導体集積回路装置の製造方法であって、前記第3層目の配線と前記第2層目の配線とを接続する第1の接続孔と、前記第3層目の配線と前記第1層目の配線とを接続する第2の接続孔と、前記第2層目の配線と前記第1層目の配線とを接続する第3の接続孔と、前記第3層目の配線と前記第2層目の配線と前記第1層目の配線とを接続する第4の接続孔のうち、少なくとも2個の接続孔を同時に形成する工程を有し、前記少なくとも2個の接続孔を前記第3層目の配線と前記第2層目の配線とを絶縁する層間絶縁膜に接続孔を形成する工程で同時に形成することを特徴とする半導体集積回路装置の製造方法。

【請求項23】 請求項22記載の半導体集積回路装置の製造方法であって、前記第3層目の配線と前記第2層目の配線とを接続する前記第1の接続孔の下部に、前記第1層目の配線と同一工程で形成したダミー配線を配置することを特徴とする半導体集積回路装置の製造方法。

【請求項24】 請求項22記載の半導体集積回路装置の製造方法であって、前記第3層目の配線と前記第1層目の配線とを接続する前記第2の接続孔の途中に、前記第2層目の配線と同一工程で形成したダミー配線を配置することを特徴とする半導体集積回路装置の製造方法。

【請求項25】 請求項22記載の半導体集積回路装置の製造方法であって、前記第2層目の配線と前記第1層目の配線とを接続する前記第3の接続孔の上部に、前記第3層目の配線と同一工程で形成したダミー配線を配置することを特徴とする半導体集積回路装置の製造方法。

【請求項26】 メモリセル選択用MISFETとその上部に形成された情報蓄積用容量素子とで構成されるメモリセルを備えたDRAMと、論理LSIとを同一半導体基板上に形成した半導体集積回路装置の製造方法であ

って、前記メモリセル選択用MISFETのゲート電極と一体に構成されたワード線のシート抵抗と、前記ビット線のシート抵抗をそれぞれ $2\Omega/\square$ 以下とし、前記論理LSIの所定の配線を前記メモリセル選択用MISFETのゲート電極と一体に構成されたワード線または前記ビット線を形成する工程で同時に形成することを特徴とする半導体集積回路装置の製造方法。

【請求項27】 請求項26記載の半導体集積回路装置の製造方法であって、前記ビット線の上部に蓄積電極、プレート電極の少なくとも一方が $2\Omega/\square$ 以下のシート抵抗を有する導電膜で構成された情報蓄積用容量素子を形成し、前記論理LSIの所定の配線を前記蓄積電極または前記プレート電極を形成する工程で同時に形成することを特徴とする半導体集積回路装置の製造方法。

【請求項28】 その主面に第1および第2の部分に有する半導体基板を用意する工程と、前記第1の部分および第2の部分に第1導体層を堆積した後、前記導体層をパターニングすることにより、前記第1の部分に第1配線を形成し、前記第2の部分に第2配線を形成する工程と、

前記半導体基板上に、前記第1配線および第2配線を覆うように第1絶縁膜を堆積する工程と、

前記第1の部分および前記第2の部分に第2導体層を堆積した後、前記導体層をパターニングすることにより、前記第1の部分において前記第1配線と重なるように第3配線を形成し、前記第2の部分において前記第2配線と重なるように第4配線を形成する工程と、

前記半導体基板上に、前記第3配線および第4配線を覆うように第2絶縁膜を堆積する工程と、

前記第1の部分であって、前記第1配線と第3配線とが重なる部分に、前記第2絶縁膜、第3配線、第1絶縁膜を貫通し、前記第1配線の表面を露出する第1接続孔と、前記第2の部分であって、前記第2配線と第4配線とが重なる部分に、前記第2絶縁膜、第4配線、第1絶縁膜を貫通し、前記第2配線の表面を露出する第2接続孔とを形成する工程と、

前記第1接続孔および第2接続孔に第3導体層を埋め込む工程と、

前記第1の部分および第2の部分に第4導体層を堆積した後、前記第4導体層をパターニングすることにより、前記第1の部分において、前記第1接続孔を覆うように第5配線を形成し、前記第2の部分において、前記第2接続孔を覆うように第6配線を形成する工程とを有する半導体集積回路装置の製造方法であって、

前記第1接続孔内の第3導体層は、前記第1配線、第3配線、第5配線を電気的に接続し、前記第2接続孔内の第3導体層は、前記第2配線、第4配線を電気的に接続し、

前記第6配線は、前記第4導体層のパターニング時に前記第2接続孔内の第3導体層を保護することを特徴とす

る半導体集積回路装置の製造方法。

【請求項29】 その主面に第1および第2の部分に有する半導体基板を用意する工程と、

前記第1の部分および第2の部分に第1導体層を堆積した後、前記導体層をパターニングすることにより、前記第1の部分に第1配線を形成し、前記第2の部分に第2配線を形成する工程と、

前記半導体基板上に、前記第1配線および第2配線を覆うように第1絶縁膜を堆積する工程と、

前記第1の部分および前記第2の部分に第2導体層を堆積した後、前記導体層をパターニングすることにより、前記第1の部分において前記第1配線と重なるように第3配線を形成し、前記第2の部分において前記第2配線と重なるように第4配線を形成する工程と、

前記半導体基板上に、前記第3配線および第4配線を覆うように第2絶縁膜を堆積する工程と、

前記第1の部分であって、前記第1配線と第3配線とが重なる部分に、前記第2絶縁膜、第3配線、第1絶縁膜を貫通し、前記第1配線の表面を露出する第1接続孔と、前記第2の部分であって、前記第2配線と第4配線とが重なる部分に、前記第2絶縁膜、第4配線、第1絶縁膜を貫通し、前記第2配線の表面を露出する第2接続孔とを形成する工程と、

前記第1接続孔および第2接続孔に第3導体層を埋め込む工程と、

前記第1の部分および第2の部分に第4導体層を堆積した後、前記第4導体層をパターニングすることにより、前記第1の部分において、前記第1接続孔を覆うように第5配線を形成し、前記第2の部分において、前記第2接続孔を覆うように第6配線を形成する工程とを有する半導体集積回路装置の製造方法であって、

前記第1接続孔内の第3導体層は、前記第1配線、第3配線、第5配線を電氣的に接続し、前記第2接続孔内の第3導体層は、前記第4配線、第6配線を電氣的に接続することを特徴とする半導体集積回路装置の製造方法。

【請求項30】 その主面に第1および第2の部分に有する半導体基板を用意する工程と、

前記第1の部分および第2の部分に第1導体層を堆積した後、前記導体層をパターニングすることにより、前記第1の部分に第1配線を形成し、前記第2の部分に第2配線を形成する工程と、

前記半導体基板上に、前記第1配線および第2配線を覆うように第1絶縁膜を堆積する工程と、

前記第1の部分および前記第2の部分に第2導体層を堆積した後、前記導体層をパターニングすることにより、前記第1の部分において前記第1配線と重なるように第3配線を形成し、前記第2の部分において前記第2配線と重なるように第4配線を形成する工程と、

前記半導体基板上に、前記第3配線および第4配線を覆うように第2絶縁膜を堆積する工程と、

前記第1の部分であって、前記第1配線と第3配線とが重なる部分に、前記第2絶縁膜、第3配線、第1絶縁膜を貫通し、前記第1配線の表面を露出する第1接続孔と、前記第2の部分であって、前記第2配線と第4配線とが重なる部分に、前記第2絶縁膜、第4配線、第1絶縁膜を貫通し、前記第2配線の表面を露出する第2接続孔とを形成する工程と、

前記第1接続孔および第2接続孔に第3導体層を埋め込む工程と、

10 前記第1の部分および第2の部分に第4導体層を堆積した後、前記第4導体層をパターニングすることにより、前記第1の部分において、前記第1接続孔を覆うように第5配線を形成し、前記第2の部分において、前記第2接続孔を覆うように第6配線を形成する工程とを有する半導体集積回路装置の製造方法であって、

前記第1接続孔内の第3導体層は、前記第1配線、第3配線、第5配線を電氣的に接続し、前記第2接続孔内の第3導体層は、前記第2配線、第6配線を電氣的に接続することを特徴とする半導体集積回路装置の製造方法。

20 【請求項31】 その主面に第1および第2の部分に有する半導体基板を用意する工程と、

前記第1の部分および第2の部分に第1導体層を堆積した後、前記導体層をパターニングすることにより、前記第1の部分に第1配線を形成し、前記第2の部分に第2配線を形成する工程と、

前記半導体基板上に、前記第1配線および第2配線を覆うように第1絶縁膜を堆積する工程と、

前記第1の部分および前記第2の部分に第2導体層を堆積した後、前記導体層をパターニングすることにより、前記第1の部分において前記第1配線と重なるように第3配線を形成する工程と、

30 前記半導体基板上に、前記第3配線を覆うように第2絶縁膜を堆積する工程と、

前記第1の部分に、前記第2配線の表面を露出する第1接続孔を形成し、前記第2の部分に、前記第2配線の表面を露出する第2接続孔を形成する工程と、

前記第1の部分および第2の部分に第3導体層を堆積した後、前記第3導体層をパターニングすることにより、前記第1の部分において、前記第1接続孔を覆うように第4配線を形成し、前記第2の部分において、前記第2接続孔を覆うように第5配線を形成する工程とを有する半導体集積回路装置の製造方法であって、

前記第1配線は、平面的に前記第1接続孔と重なることを特徴とする半導体集積回路装置の製造方法。

【請求項32】 請求項31記載の半導体集積回路装置の製造方法であって、前記第3導体層の形成に先だって、前記第1接続孔および第2接続孔に埋め込まれる第4導体層を形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

50 【請求項33】 メモリセル選択用MISFETと情報

蓄積用容量素子とが直列に接続された複数のメモリセルと、これらのメモリセルに接続され、互いに直交する方向に延びる複数のワード線および複数のビット線とを有する複数のメモリセルアレイと、前記複数のメモリセルアレイ間に位置する周辺回路とを有する半導体集積回路装置の製造方法であって、

前記メモリセルアレイが形成される第1の部分と、前記周辺回路が形成される第2の部分とを有する半導体基板を用意する工程と、

前記半導体基板上に第1導体層を形成した後、前記第1導体層をパターニングすることにより、前記第1の部分に前記ビット線を構成する複数の第1配線を形成し、前記第2の部分に第2配線および第3配線を形成する工程と、

前記第1配線、第2配線、第3配線の上に第1絶縁膜を堆積する工程と、

前記第1絶縁膜上に第2導体層を形成した後、前記第2導体層をパターニングすることにより、前記第1の部分において、複数のメモリセルに対して共通に前記情報蓄積用容量素子の他方の電極を形成し、前記第2の部分において、前記第2配線の上に第4配線を形成する工程と、

前記情報蓄積用容量素子の他方の電極および前記第4配線の上に第2絶縁膜を堆積する工程と、

前記第2の部分において、前記第2絶縁膜に前記第4配線の表面を露出する第1接続孔を形成し、前記第1絶縁膜および第2絶縁膜に前記第3配線の表面を露出する第2接続孔を形成する工程とを有し、

前記第2配線は、前記第1接続孔の下部に位置することを特徴とする半導体集積回路装置の製造方法。

【請求項34】 請求項33記載の半導体集積回路装置の製造方法であって、前記情報蓄積用容量素子の他方の電極を、前記情報蓄積用容量素子の一方の電極よりも薄い膜厚で形成することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路装置およびその製造技術に関し、特に、メモリセル選択用MISFETの上部に情報蓄積用容量素子（キャパシタ）を配置するスタックド・キャパシタ(stacked capacitor)構造のメモリセルを備えたDRAM(Dynamic Random Access Memory)を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】 近年の大容量DRAMは、メモリセルの微細化に伴う情報蓄積用容量素子の蓄積電荷量(Cs)の減少を補うために、情報蓄積用容量素子をメモリセル選択用MISFETの上部に配置するスタックド・キャパシタ構造を採用している。

【0003】 スタックド・キャパシタ構造の情報蓄積用容量素子は、蓄積電極（下部電極）、容量絶縁膜、プレート電極（上部電極）を順次積層して形成される。情報蓄積用容量素子の蓄積電極は、nチャンネル型で構成されたメモリセル選択用MISFETの半導体領域（ソース領域、ドレイン領域）の一方に接続される。プレート電極は、複数のメモリセルに共通の電極として構成され、所定の固定電位（プレート電位）が供給される。

【0004】 メモリセル選択用MISFETの半導体領域（ソース領域、ドレイン領域）の他方には、データの書込み、読出しを行うためのビット線が接続される。ビット線は、メモリセル選択用MISFETと情報蓄積用容量素子との間、または情報蓄積用容量素子の上部に配置される。情報蓄積用容量素子をビット線の上部に配置する構造は、キャパシタ・オーバー・ビットライン(Capacitor Over Bitline; COB) 構造と呼ばれる。

【0005】 上記COB構造を有するDRAMについては、特開平7-122654号公報や特開平7-106437号公報に記載がある。

【0006】 特開平7-122654号公報に記載されたDRAMは、多結晶シリコン膜または多結晶シリコン膜とタングステンシリサイド(WSix)膜との積層膜（ポリサイド膜）でゲート電極（ワード線）を形成したメモリセル選択用MISFETの上部に多結晶シリコン膜（またはポリサイド膜）で形成したビット線を配置し、このビット線の上部に多結晶シリコン膜で形成した蓄積電極と、酸化シリコン膜および窒化シリコン膜の積層膜で形成した容量絶縁膜と、多結晶シリコン膜で形成したプレート電極とからなる情報蓄積用容量素子を配置している。そして、この情報蓄積用容量素子の上部に第1層目のAl（アルミニウム）膜で形成した共通ソース線とシャント用のワード線とを配置している。

【0007】 特開平7-106437号公報に記載されたDRAMは、多結晶シリコン膜でゲート電極（ワード線）を形成したメモリセル選択用MISFETの上部にポリサイド膜で形成したビット線を配置している。そして、このビット線の上部に配置した情報蓄積用容量素子の蓄積電極またはプレート電極と周辺回路の第1層目配線とを金属材料（例えばPt（白金））で同時に形成することにより、情報蓄積用容量素子の電極形成工程と周辺回路のメタル配線形成工程とを共通化して製造工程の簡素化を図っている。

【0008】

【発明が解決しようとする課題】 前述したCOB構造のDRAMは、AlやWなどの金属材料に比べて抵抗が高い多結晶シリコンやポリサイドでゲート電極（ワード線）を形成しているため、情報蓄積用容量素子の上部にゲート電極裏打ち用のメタル配線（シャント用ワード線）を形成することによってゲート遅延を低減している。また、n型半導体領域とp型半導体領域とを同時に

接続することができないポリサイド膜でビット線を形成しているため、ビット線と周辺回路の配線とを共通化することができない。そのため、メモリアレイと周辺回路のそれぞれの配線層の数が増え、製造工程が増大するという問題が生じる。

【0009】また、ビット線と周辺回路の配線を共通化することができないので、周辺回路の第1層目配線をビット線よりも上層に形成しなければならない。そのため、第1層目配線と周辺回路のMISFETとを接続する接続孔のアスペクト比（径／深さ）が大きくなる結果、接続孔の形成が困難になったり、接続孔の内部に配線材料を埋め込むことが困難になったりするという問題が生じる。

【0010】また、抵抗が高い多結晶シリコンやポリサイドでゲート電極（ワード線）を形成した場合は、1個のセンスアンプに接続できるメモリセルの数を多くすることができない。すなわち、ゲート遅延を低減するために所定の数のメモリセルに接続されるセンスアンプの数を多くしなければならないので、チップサイズが大きくなって集積度が低下するという問題が生じる。

【0011】本発明の一つの目的は、COB構造を有するDRAMの製造工程を簡略化することのできる技術を提供することにある。

【0012】本発明の他の目的は、COB構造を有するDRAMの高速化を推進することのできる技術を提供することにある。

【0013】本発明の他の目的は、COB構造を有するDRAMの高性能化を推進することのできる技術を提供することにある。

【0014】本発明の他の目的は、COB構造を有するDRAMの高集積化を推進することのできる技術を提供することにある。

【0015】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0016】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0017】本発明の半導体集積回路装置は、メモリセル選択用MISFETとその上部に形成された情報蓄積用容量素子とで構成されるメモリセルを備えたDRAMを有し、前記メモリセル選択用MISFETのゲート電極と一体に構成されたワード線のシート抵抗と、前記メモリセル選択用MISFETのソース領域、ドレイン領域の一方に接続されるビット線のシート抵抗をそれぞれ $2\Omega/\square$ 以下とする。

【0018】本発明の半導体集積回路装置は、前記メモリセル選択用MISFETのゲート電極と一体に構成されたワード線のシート抵抗と、前記メモリセル選択用M

ISFETのソース領域、ドレイン領域の一方に接続されるビット線のシート抵抗をそれぞれ $1\Omega/\square$ 以下とする。

【0019】本発明の半導体集積回路装置は、前記メモリセル選択用MISFETのゲート電極と一体に構成されたワード線が、少なくとも多結晶シリコン膜とその上部に形成された金属膜または金属シリサイド膜とを含む積層膜で構成されている。

【0020】本発明の半導体集積回路装置は、前記ビット線が前記メモリセル選択用MISFETの上部に配置され、前記情報蓄積用容量素子が前記ビット線の上部に配置されている。

【0021】本発明の半導体集積回路装置は、前記ビット線が、金属膜または金属シリサイド膜を含む積層膜で構成されている。

【0022】本発明の半導体集積回路装置は、前記情報蓄積用容量素子の上部に形成された配線のシート抵抗が、前記ビット線のシート抵抗と同一またはそれよりも小さい。

【0023】本発明の半導体集積回路装置は、前記DRAMの周辺回路の所定の配線層に、前記メモリセル選択用MISFETのゲート電極と一体に構成されたワード線と同一製造工程で形成された配線が設けられている。

【0024】本発明の半導体集積回路装置は、前記DRAMの周辺回路の所定の配線層に、前記ビット線と同一製造工程で形成された配線が設けられている。

【0025】本発明の半導体集積回路装置は、前記DRAMの周辺回路に、前記ビット線と同一製造工程で形成された抵抗素子が設けられている。

【0026】本発明の半導体集積回路装置は、メモリセル選択用MISFETとその上部に形成された情報蓄積用容量素子とで構成されるメモリセルを備えたDRAMを有し、前記情報蓄積用容量素子の蓄積電極のシート抵抗が $2\Omega/\square$ 以下である。

【0027】本発明の半導体集積回路装置は、前記DRAMの周辺回路の所定の配線層に、前記情報蓄積用容量素子の蓄積電極と同一製造工程で形成された配線が設けられている。

【0028】本発明の半導体集積回路装置は、前記DRAMの周辺回路に、前記情報蓄積用容量素子の蓄積電極と同一製造工程で形成された抵抗素子が設けられている。

【0029】本発明の半導体集積回路装置は、メモリセル選択用MISFETとその上部に形成された情報蓄積用容量素子とで構成されるメモリセルを備えたDRAMを有し、前記情報蓄積用容量素子のプレート電極のシート抵抗が $2\Omega/\square$ 以下である。

【0030】本発明の半導体集積回路装置は、前記DRAMの周辺回路の所定の配線層に、前記情報蓄積用容量素子のプレート電極と同一製造工程で形成された配線が



設けられていることを特徴とする半導体集積回路装置。

【0031】本発明の半導体集積回路装置は、前記DRAMの周辺回路に、前記情報蓄積用容量素子のプレート電極と同一製造工程で形成された抵抗素子が設けられている。

【0032】メモリセル選択用MISFETとその上部に形成された情報蓄積用容量素子とで構成されるメモリセルを備えたDRAMを有する本発明の半導体集積回路装置の製造方法は、(a)半導体基板上に $2\Omega/\square$ 以下のシート抵抗を有するメモリセル選択用MISFETのゲート電極と一体に構成されたワード線を形成する工程、(b)前記メモリセル選択用MISFETのゲート電極と一体に構成されたワード線の上に $2\Omega/\square$ 以下のシート抵抗を有し、前記メモリセル選択用MISFETのソース領域、ドレイン領域の一方に接続されるビット線を形成する工程、を含んでいる。

【0033】本発明の半導体集積回路装置の製造方法は、前記ビット線の上に蓄積電極、プレート電極の少なくとも一方が $2\Omega/\square$ 以下のシート抵抗を有する情報蓄積用容量素子を形成する工程を含んでいる。

【0034】本発明の半導体集積回路装置の製造方法は、前記情報蓄積用容量素子の上部に前記ビット線のシート抵抗と同一またはそれよりも小さいシート抵抗を有する配線を形成する工程を含んでいる。

【0035】本発明の半導体集積回路装置の製造方法は、前記工程(a)または前記工程(b)で周辺回路の第1層目の配線を形成する。

【0036】本発明の半導体集積回路装置の製造方法は、前記情報蓄積用容量素子の蓄積電極またはプレート電極を形成する工程で周辺回路の第2層目の配線を形成する。

【0037】本発明の半導体集積回路装置の製造方法は、前記情報蓄積用容量素子の上部に前記情報蓄積用容量素子のプレート電極に積層される配線およびY選択線を形成する工程で周辺回路の第3層目の配線を形成する。

【0038】本発明の半導体集積回路装置の製造方法は、前記第3層目の配線と前記第2層目の配線とを接続する第1の接続孔と、前記第3層目の配線と前記第1層目の配線とを接続する第2の接続孔と、前記第2層目の配線と前記第1層目の配線とを接続する第3の接続孔と、前記第3層目の配線と前記第2層目の配線と前記第1層目の配線とを接続する第4の接続孔のうち、少なくとも2個の接続孔を同時に形成する工程を有し、前記少なくとも2個の接続孔を前記第3層目の配線と前記第2層目の配線とを絶縁する層間絶縁膜に接続孔を形成する工程で同時に形成する。

【0039】本発明の半導体集積回路装置の製造方法は、前記第3層目の配線と前記第2層目の配線とを接続する前記第1の接続孔の下部に、前記第1層目の配線と

同一工程で形成したダミー配線を配置する。

【0040】本発明の半導体集積回路装置の製造方法は、前記第3層目の配線と前記第1層目の配線とを接続する前記第2の接続孔の途中に、前記第2層目の配線と同一工程で形成したダミー配線を配置する。

【0041】本発明の半導体集積回路装置の製造方法は、前記第2層目の配線と前記第1層目の配線とを接続する前記第3の接続孔の上部に、前記第3層目の配線と同一工程で形成したダミー配線を配置する。

【0042】メモリセル選択用MISFETとその上部に形成された情報蓄積用容量素子とで構成されるメモリセルを備えたDRAMと、論理LSIとを同一半導体基板上に形成した本発明の半導体集積回路装置の製造方法は、前記メモリセル選択用MISFETのゲート電極と一体に構成されたワード線のシート抵抗と、前記ビット線のシート抵抗をそれぞれ $2\Omega/\square$ 以下とし、前記論理LSIの所定の配線を前記メモリセル選択用MISFETのゲート電極と一体に構成されたワード線または前記ビット線を形成する工程で同時に形成する。

【0043】本発明の半導体集積回路装置の製造方法は、前記ビット線の上に蓄積電極、プレート電極の少なくとも一方が $2\Omega/\square$ 以下のシート抵抗を有する導電膜で構成された情報蓄積用容量素子を形成し、前記論理LSIの所定の配線を前記蓄積電極または前記プレート電極を形成する工程で同時に形成する。

【0044】本発明の半導体集積回路装置の製造方法は、その主面に第1および第2の部分に有する半導体基板を用意する工程と、前記第1の部分および第2の部分に第1導体層を堆積した後、前記導体層をパターニングすることにより、前記第1の部分に第1配線を形成し、前記第2の部分に第2配線を形成する工程と、前記半導体基板上に、前記第1配線および第2配線を覆うように第1絶縁膜を堆積する工程と、前記第1の部分および前記第2の部分に第2導体層を堆積した後、前記導体層をパターニングすることにより、前記第1の部分において前記第1配線と重なるように第3配線を形成し、前記第2の部分において前記第2配線と重なるように第4配線を形成する工程と、前記半導体基板上に、前記第3配線および第4配線を覆うように第2絶縁膜を堆積する工程と、前記第1の部分であって、前記第1配線と第3配線とが重なる部分に、前記第2絶縁膜、第3配線、第1絶縁膜を貫通し、前記第1配線の表面を露出する第1接続孔と、前記第2の部分であって、前記第2配線と第4配線とが重なる部分に、前記第2絶縁膜、第4配線、第1絶縁膜を貫通し、前記第2配線の表面を露出する第2接続孔とを形成する工程と、前記第1接続孔および第2接続孔に第3導体層を埋め込む工程と、前記第1の部分および第2の部分に第4導体層を堆積した後、前記第4導体層をパターニングすることにより、前記第1の部分において、前記第1接続孔を覆うように第5配線を形成

し、前記第2の部分において、前記第2接続孔を覆うように第6配線を形成する工程とを有し、前記第1接続孔内の第3導体層は、前記第1配線、第3配線、第5配線を電氣的に接続し、前記第2接続孔内の第3導体層は、前記第2配線、第4配線を電氣的に接続し、前記第6配線は、前記第4導体層のパターニング時に前記第2接続孔内の第3導体層を保護する。

【0045】本発明の半導体集積回路装置の製造方法は、その主面に第1および第2の部分に有する半導体基板を用意する工程と、前記第1の部分および第2の部分に第1導体層を堆積した後、前記導体層をパターニングすることにより、前記第1の部分に第1配線を形成し、前記第2の部分に第2配線を形成する工程と、前記半導体基板上に、前記第1配線および第2配線を覆うように第1絶縁膜を堆積する工程と、前記第1の部分および前記第2の部分に第2導体層を堆積した後、前記導体層をパターニングすることにより、前記第1の部分において前記第1配線と重なるように第3配線を形成し、前記第2の部分において前記第2配線と重なるように第4配線を形成する工程と、前記半導体基板上に、前記第3配線および第4配線を覆うように第2絶縁膜を堆積する工程と、前記第1の部分であって、前記第1配線と第3配線とが重なる部分に、前記第2絶縁膜、第3配線、第1絶縁膜を貫通し、前記第1配線の表面を露出する第1接続孔と、前記第2の部分であって、前記第2配線と第4配線とが重なる部分に、前記第2絶縁膜、第4配線、第1絶縁膜を貫通し、前記第2配線の表面を露出する第2接続孔とを形成する工程と、前記第1接続孔および第2接続孔に第3導体層を埋め込む工程と、前記第1の部分および第2の部分に第4導体層を堆積した後、前記第4導体層をパターニングすることにより、前記第1の部分において、前記第1接続孔を覆うように第5配線を形成し、前記第2の部分において、前記第2接続孔を覆うように第6配線を形成する工程とを有し、前記第1接続孔内の第3導体層は、前記第1配線、第3配線、第5配線を電氣的に接続し、前記第2接続孔内の第3導体層は、前記第2配線、第6配線を電氣的に接続する。

【0046】本発明の半導体集積回路装置の製造方法は、その主面に第1および第2の部分に有する半導体基板を用意する工程と、前記第1の部分および第2の部分に第1導体層を堆積した後、前記導体層をパターニングすることにより、前記第1の部分に第1配線を形成し、前記第2の部分に第2配線を形成する工程と、前記半導体基板上に、前記第1配線および第2配線を覆うように第1絶縁膜を堆積する工程と、前記第1の部分および前記第2の部分に第2導体層を堆積した後、前記導体層をパターニングすることにより、前記第1の部分において前記第1配線と重なるように第3配線を形成し、前記第2の部分において前記第2配線と重なるように第4配線を形成する工程と、前記半導体基板上に、前記第3配線

および第4配線を覆うように第2絶縁膜を堆積する工程と、前記第1の部分であって、前記第1配線と第3配線とが重なる部分に、前記第2絶縁膜、第3配線、第1絶縁膜を貫通し、前記第1配線の表面を露出する第1接続孔と、前記第2の部分であって、前記第2配線と第4配線とが重なる部分に、前記第2絶縁膜、第4配線、第1絶縁膜を貫通し、前記第2配線の表面を露出する第2接続孔とを形成する工程と、前記第1接続孔および第2接続孔に第3導体層を埋め込む工程と、前記第1の部分および第2の部分に第4導体層を堆積した後、前記第4導体層をパターニングすることにより、前記第1の部分において、前記第1接続孔を覆うように第5配線を形成し、前記第2の部分において、前記第2接続孔を覆うように第6配線を形成する工程とを有し、前記第1接続孔内の第3導体層は、前記第1配線、第3配線、第5配線を電氣的に接続し、前記第2接続孔内の第3導体層は、前記第2配線、第6配線を電氣的に接続する。

【0047】本発明の半導体集積回路装置の製造方法は、その主面に第1および第2の部分に有する半導体基板を用意する工程と、前記第1の部分および第2の部分に第1導体層を堆積した後、前記導体層をパターニングすることにより、前記第1の部分に第1配線を形成し、前記第2の部分に第2配線を形成する工程と、前記半導体基板上に、前記第1配線および第2配線を覆うように第1絶縁膜を堆積する工程と、前記第1の部分および前記第2の部分に第2導体層を堆積した後、前記導体層をパターニングすることにより、前記第1の部分において前記第1配線と重なるように第3配線を形成する工程と、前記半導体基板上に、前記第3配線を覆うように第2絶縁膜を堆積する工程と、前記第1の部分に、前記第2配線の表面を露出する第1接続孔を形成し、前記第2の部分に、前記第2配線の表面を露出する第2接続孔を形成する工程と、前記第1の部分および第2の部分に第3導体層を堆積した後、前記第3導体層をパターニングすることにより、前記第1の部分において、前記第1接続孔を覆うように第4配線を形成し、前記第2の部分において、前記第2接続孔を覆うように第5配線を形成する工程とを有し、前記第1配線は、平面的に前記第1接続孔と重なる。

【0048】本発明の半導体集積回路装置の製造方法は、前記第3導体層の形成に先だて、前記第1接続孔および第2接続孔に埋め込まれる第4導体層を形成する。

【0049】メモリセル選択用MISFETと情報蓄積容量素子とが直列に接続された複数のメモリセルと、これらのメモリセルに接続され、互いに直交する方向に延びる複数のワード線および複数のビット線とを有する複数のメモリセルアレイと、前記複数のメモリセルアレイ間に位置する周辺回路とを有する本発明の半導体集積回路装置の製造方法は、前記メモリセルアレイが形成さ

れる第1の部分と、前記周辺回路が形成される第2の部分とを有する半導体基板を用意する工程と、前記半導体基板上に第1導体層を形成した後、前記第1導体層をパターンニングすることにより、前記第1の部分に前記ビット線を構成する複数の第1配線を形成し、前記第2の部分に第2配線および第3配線を形成する工程と、前記第1配線、第2配線、第3配線の上に第1絶縁膜を堆積する工程と、前記第1絶縁膜上に第2導体層を形成した後、前記第2導体層をパターンニングすることにより、前記第1の部分において、複数のメモリセルに対して共通に前記情報蓄積用容量素子の他方の電極を形成し、前記第2の部分において、前記第2配線の上に第4配線を形成する工程と、前記情報蓄積用容量素子の他方の電極および前記第4配線の上に第2絶縁膜を堆積する工程と、前記第2の部分において、前記第2絶縁膜に前記第4配線の表面を露出する第1接続孔を形成し、前記第1絶縁膜および第2絶縁膜に前記第3配線の表面を露出する第2接続孔を形成する工程とを有し、前記第2配線は、前記第1接続孔の下部に位置する。

【0050】本発明の半導体集積回路装置の製造方法は、前記情報蓄積用容量素子の他方の電極を、前記情報蓄積用容量素子の一方の電極よりも薄い膜厚で形成する。

【0051】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0052】（実施の形態1）図1は、本実施の形態のDRAMを形成した半導体チップの全体平面図、図2は、その一部を示す拡大平面図である。

【0053】単結晶シリコンからなる半導体チップ1Aの主面には、例えば64Mbit(メガビット)の容量を有するDRAMが形成されている。図1に示すように、このDRAMは、8個に分割されたメモリマツトMMとそれらの周囲に配置された周辺回路とで構成されている。8Mbitの容量を有するメモリマツトMMのそれぞれは、図2に示すように、16個のメモリアレイMARYに分割されている。メモリアレイMARYのそれぞれは、行列状に配置された2Kbit(キロビット)×256bit=512Kbitのメモリセルで構成されており、それらの周囲には、センスアンプSAやワードドライバWDなどの周辺回路が配置されている。

【0054】図3は、このDRAMのメモリアレイとそれに隣接する周辺回路の各一部を示す半導体基板の要部断面図、図4は、このDRAMのメモリセルを構成する導電層と周辺回路のMISFETを構成する導電層の各パターンを示す平面図、図5は、このDRAMのメモリアレイとそれに隣接する周辺回路の各一部を示す回路図である。なお、図3には一対のメモリセルQt、Qtと

図4、図5においてQn、Qpの符号を付した周辺回路のMISFETとを示した。

【0055】p型の単結晶シリコンからなる半導体基板1には、メモリアレイMARYおよび周辺回路に共通のp型ウエル2と周辺回路のn型ウエル3とが形成されている。p型ウエル2、n型ウエル3のそれぞれの表面には素子分離用のフィールド酸化膜4が形成されており、このフィールド酸化膜4の下部を含むp型ウエル2の内部にはp型チャネルストッパ層5が、またn型ウエル3の内部にはn型チャネルストッパ層6がそれぞれ形成されている。

【0056】メモリアレイMARYのp型ウエル2のアクティブ領域にはメモリセルがマトリクス状に配置されている。メモリセルのそれぞれは、nチャネル型で構成された一個のメモリセル選択用MISFETQtとその上部に形成され、メモリセル選択用MISFETQtと直列に接続された一個の情報蓄積用容量素子Cとで構成されている。すなわち、このメモリセルは、メモリセル選択用MISFETQtの上部に情報蓄積用容量素子Cを配置するスタックド・キャパシタ構造で構成されている。

【0057】メモリセル選択用MISFETQtは、ゲート酸化膜7、ワード線WLと一体に形成されたゲート電極8A、ソース領域およびドレイン領域(n型半導体領域9、9)で構成されている。ゲート電極8A(ワード線WL)は、n型の不純物(例えばP(リン))をドーピングした低抵抗の多結晶シリコン膜とWシリサイド(WSi<sub>2</sub>)膜とを積層した2層の導電膜、または低抵抗の多結晶シリコン膜とTiN(チタンナイトライド)膜とW膜とを積層した3層の導電膜で構成されており、そのシート抵抗は2Ω/□以下である。ゲート電極8A(ワード線WL)の上部には窒化シリコン膜10が形成されており、側壁には窒化シリコンのサイドウォールスペーサ11が形成されている。これらの絶縁膜(窒化シリコン膜10およびサイドウォールスペーサ11)は、窒化シリコン膜に代えて酸化シリコン膜で構成することもできる。

【0058】周辺回路のp型ウエル2のアクティブ領域にはnチャネル型MISFETQnが形成されており、n型ウエル3のアクティブ領域にはpチャネル型MISFETQpが形成されている。すなわち、この周辺回路は、nチャネル型MISFETQnとpチャネル型MISFETQpとを組み合わせたCMOS(Complementary Metal Oxide Semiconductor)回路で構成されている。

【0059】nチャネル型MISFETQnは、ゲート酸化膜7、ゲート電極8B、ソース領域およびドレイン領域で構成されている。ゲート電極8Bは、前記メモリセル選択用MISFETQtのゲート電極8A(ワード線WL)と同じ導電膜で構成されており、そのシート抵抗は2Ω/□以下である。ゲート電極8Bの上部には窒

化シリコン膜10が形成されており、側壁には窒化シリコンのサイドウォールスペーサ11が形成されている。nチャネル型MISFETQnのソース領域、ドレイン領域のそれぞれは、低不純物濃度の $n^-$ 型半導体領域12と高不純物濃度の $n^+$ 型半導体領域13とからなるLDD(Lightly Doped Drain)構造で構成されており、 $n^+$ 型半導体領域13の表面にはTiシリサイド(TiSi<sub>2</sub>)層16が形成されている。

【0060】pチャネル型MISFETQpは、ゲート酸化膜7、ゲート電極8C、ソース領域およびドレイン領域で構成されている。ゲート電極8Cは、前記メモリセル選択用MISFETQtのゲート電極8A(ワード線WL)と同じ導電膜で構成されており、そのシート抵抗は $2\Omega/\square$ 以下である。ゲート電極8Cの上部には窒化シリコン膜10が形成されており、側壁には窒化シリコンのサイドウォールスペーサ11が形成されている。pチャネル型MISFETQpのソース領域、ドレイン領域のそれぞれは、低不純物濃度の $p^-$ 型半導体領域14と高不純物濃度の $p^+$ 型半導体領域15とからなるLDD構造で構成されており、 $p^+$ 型半導体領域15の表面にはTiシリサイド層16が形成されている。

【0061】メモリセル選択用MISFETQt、nチャネル型MISFETQnおよびpチャネル型MISFETQpの上部には、下層から順に酸化シリコン膜17、BPSG(Boron-doped Phospho Silicate Glass)膜18および酸化シリコン膜19が形成されている。

【0062】メモリアレイMARYの酸化シリコン膜19の上部にはビット線BL(BL<sub>1</sub>, BL<sub>2</sub>)が形成されている。ビット線BL<sub>1</sub>, BL<sub>2</sub>は、TiN膜とW膜とを積層した2層の導電膜で構成されており、そのシート抵抗は $2\Omega/\square$ 以下である。ビット線BL<sub>1</sub>は、リン(P)またはヒ素(As)をドーブした多結晶シリコンのプラグ20が埋め込まれた接続孔21を通じてメモリセル選択用MISFETQtのソース領域、ドレイン領域の一方(n型半導体領域9)と電気的に接続されている。また、ビット線BL<sub>2</sub>は、接続孔23を通じて(多結晶シリコンのプラズマを介することなく)周辺回路のnチャネル型MISFETQnのソース領域、ドレイン領域の一方( $n^+$ 型半導体領域13)と電気的に接続されている。nチャネル型MISFETQnの $n^+$ 型半導体領域13の表面には低抵抗のTiシリサイド層16が形成され、ビット線BL<sub>2</sub>のコンタクト抵抗が低減されるようになっている。

【0063】周辺回路の酸化シリコン膜19の上部には第1層目の配線30A、30Bが形成されている。配線30A、30Bは、前記ビット線BL<sub>1</sub>, BL<sub>2</sub>と同様、TiN膜とW膜とを積層した2層の導電膜で構成されており、そのシート抵抗は $2\Omega/\square$ 以下である。配線30Aの一端は、接続孔24を通じてnチャネル型MISFETQnのソース領域、ドレイン領域の他方( $n^+$ 型半

導体領域13)と電気的に接続されており、他端は接続孔25を通じてpチャネル型MISFETQpのソース領域、ドレイン領域の一方( $p^+$ 型半導体領域15)と電気的に接続されている。また配線30Bの一端は、接続孔26を通じてpチャネル型MISFETQpのソース領域、ドレイン領域の他方( $p^+$ 型半導体領域15)と電気的に接続されている。nチャネル型MISFETQnの $n^+$ 型半導体領域13の表面およびpチャネル型MISFETQpの $p^+$ 型半導体領域15の表面には低抵抗のTiシリサイド層16が形成され、配線30A、30Bのコンタクト抵抗が低減されるようになっている。

【0064】ビット線BL<sub>1</sub>, BL<sub>2</sub>および配線30A、30Bの上部には窒化シリコン膜27が形成されており、側壁には窒化シリコンのサイドウォールスペーサ29が形成されている。ビット線BL<sub>1</sub>, BL<sub>2</sub>および配線30A、30Bのさらに上部には、SOG(Spin On Glass)膜31および酸化シリコン膜32が形成されている。メモリアレイMARYの酸化シリコン膜32の上部には、蓄積電極(下部電極)33、容量絶縁膜34およびプレート電極(上部電極)35で構成された情報蓄積用容量素子Cが形成されている。

【0065】情報蓄積用容量素子Cの蓄積電極33は、W膜で構成されており、W(または多結晶シリコン)のプラグ36を埋め込んだ接続孔37および多結晶シリコンのプラグ20を埋め込んだ接続孔22を通じてメモリセル選択用MISFETQtのソース領域、ドレイン領域の他方(n型半導体領域9)と電気的に接続されている。容量絶縁膜34はTa<sub>2</sub>O<sub>5</sub>(酸化タンタル)膜で構成されており、プレート電極35はTiN膜で構成されている。

【0066】情報蓄積用容量素子Cの上部には、下層から順に酸化シリコン膜38、SOG膜39および酸化シリコン膜40が形成されている。酸化シリコン膜40の上部にはYセレクト線(カラム選択線)YSおよび周辺回路の第2層目の配線41A、41Bが形成されている。配線41Aは、情報蓄積用容量素子Cのプレート電極35の上部の絶縁膜(酸化シリコン膜40、SOG膜39および酸化シリコン膜38)に開孔した接続孔42を通じてプレート電極35と電気的に接続されており、プレート電極35にプレート電圧(Vdd/2)を供給する。配線41Bは、前記周辺回路の第1層目の配線30Bの上部の絶縁膜(酸化シリコン膜40、SOG膜39、酸化シリコン膜38、酸化シリコン膜32、SOG膜31および窒化シリコン膜27)に開孔した接続孔43を通じて配線30Bと電気的に接続されている。配線41Aとプレート電極35とを接続する接続孔42の内部、および配線41Bと配線30Bとを接続する接続孔43の内部には、Wのプラグ44が埋め込まれている。Yセレクト線YSおよび配線41A、41Bは、前ゲ

ト電極8A(ワード線WL)およびゲート電極8B、8Cを構成する導電膜や、前記ビット線BL<sub>1</sub>、BL<sub>2</sub>および配線30A、30Bを構成する導電膜よりもさらにシート抵抗が低い導電膜、例えば下層から順にTiN膜、Si(シリコン)とCu(銅)とを添加したAl(アルミニウム)合金膜およびTiN膜を積層した3層の導電膜で構成されている。

【0067】Yセレクト線YSおよび配線41A、41Bの上部には、例えば酸化シリコン膜、SOG膜および酸化シリコン膜を積層した3層の絶縁膜などで構成された層間絶縁膜を介して周辺回路の第3層目の配線が形成され、さらにその上部には、酸化シリコン膜と窒化シリコン膜とを積層した2層の絶縁膜などで構成されたパッシベーション膜が形成されているが、それらの図示は省略する。

【0068】次に、本実施の形態のDRAMの製造方法を図6～図24を用いて詳細に説明する。

【0069】まず、図6に示すように、1～10Ωcm程度の比抵抗を有するp<sup>-</sup>型の半導体基板1の表面に選択酸化(LOCOS)法でフィールド酸化膜4を形成した後、メモリセルを形成する領域(メモリアレイMAR Y)と周辺回路のnチャネル型MISFETを形成する領域の半導体基板1にp型不純物(ホウ素(B))をイオン注入してp型ウエル2を形成し、周辺回路のpチャネル型MISFETを形成する領域の半導体基板1にn型不純物(リン(P))をイオン注入してn型ウエル3を形成する。続いて、p型ウエル2にp型不純物(B)をイオン注入してp型チャネルストッパ層5を形成し、n型ウエル3にn型不純物(P)をイオン注入してn型チャネルストッパ層6を形成する。周辺回路のp型ウエル2とメモリセルレイMARYのp型ウエル2は、別工程で形成してもよい。

【0070】その後、フィールド酸化膜4で囲まれたp型ウエル2、n型ウエル3のそれぞれのアクティブ領域の表面に熱酸化法でゲート酸化膜7を形成し、さらにこのゲート酸化膜7を通じてp型ウエル2およびn型ウエル3にMISFETのしきい値電圧(V<sub>th</sub>)を調整するための不純物をイオン注入する。ウエル(p型ウエル2、n型ウエル3)を形成するためのイオン注入、チャネルストッパ層(p型チャネルストッパ層5、n型チャネルストッパ層6)を形成するためのイオン注入およびMISFETのしきい値電圧(V<sub>th</sub>)を調整するためのイオン注入のうち、不純物の導電型が同一のものについては同一のフォトリソマスクを使って同一工程で形成してもよい。また、メモリセル選択用MISFETQ<sub>t</sub>のしきい値電圧(V<sub>th</sub>)を調整するためのイオン注入と周辺回路のMISFET(nチャネル型MISFETQ<sub>n</sub>、pチャネル型MISFETQ<sub>p</sub>)のしきい値電圧(V<sub>th</sub>)を調整するためのイオン注入を別工程で行い、しきい値電圧(V<sub>th</sub>)をそれぞれのMISFETで独立

に調整してもよい。

【0071】次に、図7に示すように、メモリセル選択用MISFETQ<sub>t</sub>のゲート電極8A(ワード線WL)、nチャネル型MISFETQ<sub>n</sub>のゲート電極8Bおよびpチャネル型MISFETQ<sub>p</sub>のゲート電極8Cを形成する。ゲート電極8A(ワード線WL)およびゲート電極8B、8Cは、例えば半導体基板1上にCVD法でn型の多結晶シリコン膜、WSi<sub>2</sub>膜および窒化シリコン膜10を順次堆積した後、フォトリソマスクにしたエッチングでこれらの膜をパターンニングして同時に形成する。あるいはCVD法でn型の多結晶シリコン膜を堆積し、次いでスパッタリング法でTiN膜とW膜とを堆積し、さらにCVD法で窒化シリコン膜10を堆積した後、フォトリソマスクにしたエッチングでこれらの膜をパターンニングして同時に形成する。TiN膜は、多結晶シリコン膜とW膜との反応を防止するバリアメタルとして使用される。ゲート電極8A(ワード線WL)およびゲート電極8B、8Cは、例えばn型の多結晶シリコン膜上にTiN膜(またはWN(タングステンナイトライド)膜)とTiシリサイド膜とを積層した3層の導電膜など、より低抵抗の材料で構成することによって、そのシート抵抗を2Ω/□以下さらには1Ω/□以下にまで低減することができる。

【0072】次に、図8に示すように、p型ウエル2にn型不純物(P)をイオン注入してメモリセル選択用MISFETQ<sub>t</sub>のn型半導体領域9とnチャネル型MISFETQ<sub>n</sub>のn<sup>-</sup>型半導体領域12とをゲート電極8a、8bに対して自己整合(セルフアライン)で形成し、n型ウエル3にp型不純物(B)をイオン注入してpチャネル型MISFETQ<sub>p</sub>のp<sup>-</sup>型半導体領域14をゲート電極8a、8bに対して自己整合(セルフアライン)で形成する。このとき、メモリセル選択用MISFETQ<sub>t</sub>のn型半導体領域9を形成するためのイオン注入と、nチャネル型MISFETQ<sub>n</sub>のn<sup>-</sup>型半導体領域12を形成するためのイオン注入とを別工程で行い、ソース領域、ドレイン領域の不純物濃度をそれぞれのMISFETで独立に調整してもよい。

【0073】次に、図9に示すように、メモリセル選択用MISFETQ<sub>t</sub>のゲート電極8A(ワード線WL)、nチャネル型MISFETQ<sub>n</sub>のゲート電極8Bおよびpチャネル型MISFETQ<sub>p</sub>のゲート電極8Cの各側壁にサイドウォールスペーサ11を形成する。サイドウォールスペーサ11は、CVD法で堆積した窒化シリコン膜を異方性エッチングで加工して形成する。次いで、周辺回路のp型ウエル2にn型不純物(P)をイオン注入してnチャネル型MISFETQ<sub>n</sub>のn<sup>+</sup>型半導体領域13をサイドウォールスペーサ11に対して自己整合(セルフアライン)で形成し、n型ウエル3にp型不純物(B)をイオン注入してpチャネル型MISFETQ<sub>p</sub>のp<sup>+</sup>型半導体領域15をサイドウォールスベ

一サ11に対して自己整合(セルフアライン)で形成する。周辺回路を構成するnチャネル型MISFETQnのソース領域、ドレイン領域、pチャネル型MISFETQpのソース領域、ドレイン領域は、必要に応じてそれらの一方または両方をシングルドレイン構造や二重拡散ドレイン(Double Diffused Drain)構造などで構成することもできる。

【0074】次に、図10に示すように、メモリセル選択用MISFETQtのゲート電極8A(ワード線WL)、nチャネル型MISFETQnのゲート電極8B、およびpチャネル型MISFETQpのゲート電極8Cのそれぞれの上にCVD法で酸化シリコン膜17とBPSG膜18とを堆積した後、化学的機械研磨(Chemical Mechanical Polishing: CMP)法でBPSG膜18を研磨し、その表面を平坦化する。

【0075】次に、図11に示すように、BPSG膜18上にCVD法で多結晶シリコン膜28を堆積した後、フォトリソをマスクにして多結晶シリコン膜28をエッチングし、次いで多結晶シリコン膜28をマスクにしてBPSG膜18、酸化シリコン膜17およびゲート酸化膜7をエッチングすることにより、メモリセル選択用MISFETQtのソース領域、ドレイン領域の一方(n型半導体領域9)の上部に接続孔21を形成し、他方(n型半導体領域9)の上部に接続孔22を形成する。

【0076】このとき、メモリセル選択用MISFETQtのゲート電極8A(ワード線WL)の上部に形成された窒化シリコン膜10と側壁に形成された窒化シリコンのサイドウォールスペーサ11は、酸化シリコン系の絶縁膜(BPSG膜18、酸化シリコン膜17およびゲート酸化膜7)とはエッチング速度が異なるので、ほとんどエッチングされずに残る。すなわち、接続孔21、22を形成するためのドライエッチングに用いるガスは、酸化シリコン膜のエッチングレートは高いが、窒化シリコン膜のエッチングは低い。これにより、n型半導体領域9に接する領域が上記フォトリソのマスクを形成するのに用いた露光の解像度よりも小さい径で構成される微細な接続孔21、22をサイドウォールスペーサ11に対して自己整合(セルフアライン)で形成することができるので、メモリセルサイズの縮小を図ることができる。

【0077】次に、図12に示すように、接続孔21、22の内部に多結晶シリコンのプラグ20を埋め込む。このプラグ20は、多結晶シリコン膜28の上部にCVD法で多結晶シリコン膜を堆積した後、BPSG膜18の上部の多結晶シリコン膜をエッチバックで除去して形成する。このとき、エッチングのマスクに用いた多結晶シリコン膜28も同時に除去する。プラグ20を構成する多結晶シリコン膜にはn型の不純物(P)がドーパされる。この不純物は、接続孔21、22を通じてメモリ

セル選択用MISFETQtのn型半導体領域9、9(ソース領域、ドレイン領域)に拡散し、n型半導体領域9、9よりも高不純物濃度の半導体領域(図示せず)が形成される。

【0078】次に、図13に示すように、BPSG膜18の上部にCVD法で酸化シリコン膜19を堆積し、次いで周辺回路領域を覆い、ビット線BL<sub>1</sub>の上部に開孔を有するフォトリソをマスクにしたエッチングで接続孔21の上部の酸化シリコン膜19を除去し、ビット線BL<sub>1</sub>が形成される領域のプラグ20を露出させた後、図14に示すように、メモリセル形成領域を覆い、周辺回路領域に開孔を有するフォトリソをマスクにして周辺回路の酸化シリコン膜19、BPSG膜18、酸化シリコン膜17およびゲート酸化膜7をエッチングすることにより、nチャネル型MISFETQnのソース領域、ドレイン領域の一方(n<sup>+</sup>型半導体領域13)の上部に接続孔23を形成し、他方(n<sup>+</sup>型半導体領域13)の上部に接続孔24を形成する。また同時に、pチャネル型MISFETQpのソース領域、ドレイン領域の一方(p<sup>+</sup>型半導体領域15)の上部に接続孔25を形成し、他方(p<sup>+</sup>型半導体領域15)の上部に接続孔26を形成する。

【0079】次に、図15に示すように、接続孔23、24の底部に露出したnチャネル型MISFETQnのn<sup>+</sup>型半導体領域13、13の表面と、接続孔25、26の底部に露出したpチャネル型MISFETQpのp<sup>+</sup>型半導体領域15、15の表面と、ビット線BL<sub>1</sub>が接続されるプラグ20の表面とにTiシリサイド層16を形成する。Tiシリサイド層16は、スパッタリング法で堆積したTi膜をアニールしてSi基板(n<sup>+</sup>型半導体領域13、p<sup>+</sup>型半導体領域15)および多結晶シリコン(プラグ20)と反応させた後、酸化シリコン膜19上に残った未反応のTi膜をウェットエッチングで除去して形成する。このTiシリサイド層16の形成により、nチャネル型MISFETQnのn<sup>+</sup>型半導体領域13、13、pチャネル型MISFETQpのp<sup>+</sup>型半導体領域15、15およびプラグ20とそれらに接続される配線(ビット線BL<sub>1</sub>、BL<sub>2</sub>、配線30A、30B)とのコンタクト抵抗が低減される。

【0080】次に、図16に示すように、メモリアレイMARYの酸化シリコン膜19の上部にビット線BL<sub>1</sub>、BL<sub>2</sub>を形成し、周辺回路の酸化シリコン膜19の上部に第1層目の配線30A、30Bを形成する。ビット線BL<sub>1</sub>、BL<sub>2</sub>および配線30A、30Bは、酸化シリコン膜19の上部にスパッタリング法でTiN膜とW膜とを堆積し、次いでその上部にCVD法で窒化シリコン膜27を堆積した後、フォトリソをマスクにしたエッチングでこれらの膜をパターニングして同時に形成する。また、ビット線BL<sub>1</sub>、BL<sub>2</sub>および配線30A、30Bは、例えばTiN膜(またはWN膜)とTiシリサ



イド膜とを積層した2層の導電膜など、より低抵抗の材料で構成することもでき、これにより、そのシート抵抗を $2\Omega/\square$ 以下さらには $1\Omega/\square$ 以下にまで低減することができる。

【0081】次に、図17に示すように、CVD法で堆積した窒化シリコン膜を異方性エッチングで加工してビット線 $BL_1, BL_2$  および配線30A、30Bの各側壁にサイドウォールスペース29を形成した後、ビット線 $BL_1, BL_2$  および配線30A、30Bの上部にSOG膜31をスピン塗布し、次いでその上部にCVD法で酸化シリコン膜32を堆積する。前記窒化シリコン膜27とサイドウォールスペース29は、窒化シリコン膜に比べて誘電率が小さい酸化シリコン膜に代えることもできる。この場合は、ビット線 $BL_1, BL_2$  と配線30A、30Bの寄生容量を低減することができる。

【0082】次に、図18に示すように、フォトレジストをマスクにして酸化シリコン膜32およびSOG膜31をエッチングすることにより、メモリセル選択用MISFETQ<sub>t</sub>のソース領域、ドレイン領域の他方(n型半導体領域9)の上部に形成された前記接続孔22の上部に接続孔37を形成する。

【0083】このとき、図19に示すように、フォトレジストマスクの合わせずれによって接続孔37の位置が接続孔22の真上からずれた場合でも、ビット線 $BL_1, BL_2$  および配線30A、30Bの上部に形成された窒化シリコン膜27と側壁に形成された窒化シリコンのサイドウォールスペース29は、酸化シリコン系の絶縁膜(酸化シリコン膜32およびSOG膜31)とはエッチング速度が異なるので、ほとんどエッチングされずに残る。これにより、接続孔37と接続孔22のマスク合わせ余裕を小さくしても、接続孔37を形成する際にビット線 $BL_1, BL_2$  が露出し、情報蓄積用容量素子Cと短絡することがないので、メモリセルサイズの縮小を図ることができる。ただし、窒化シリコン膜27とサイドウォールスペース29を酸化シリコン膜に代えた場合には、接続孔37とサイドウォールスペース29との間のマスク合わせが必要となる。

【0084】次に、図20に示すように、接続孔37の内部にWのプラグ36を埋め込んだ後、接続孔37の上部に情報蓄積用容量素子Cの蓄積電極33を形成する。プラグ36は、酸化シリコン膜32の上部にCVD法で堆積したW膜(または多結晶シリコン膜)をエッチバックして形成する。蓄積電極33は、酸化シリコン膜32の上部にスパッタリング法で堆積したW膜を、フォトレジストをマスクにしたエッチングでパターンニングして形成する。プラグ36は、多結晶シリコン膜や、TiN膜とW膜との積層膜などで構成することもできる。また、蓄積電極33は、Pt、Ir、IrO<sub>2</sub>、Rh、RhO<sub>2</sub>、Os、OsO<sub>2</sub>、Ru、RuO<sub>2</sub>、Re、ReO<sub>3</sub>、Pd、Auなどの金属膜もしくは導電性金属酸化

物膜などで構成することもできる。情報蓄積用容量素子Cの容量値を大きくするためには、蓄積電極33を構成するW膜の膜厚を厚くして表面積を大きくするのが有効である。

【0085】次に、図21に示すように、蓄積電極33の上部にプラズマCVD法で酸化タンタル膜34Aを堆積し、次いでその上部にCVD法でTiN膜35Aを堆積した後、図22に示すように、フォトレジストをマスクにしたエッチングでこれらの膜をパターンニングすることにより、W膜からなる蓄積電極33、酸化タンタル膜34Aからなる容量絶縁膜34およびTiN膜35Aからなるプレート電極35で構成された情報蓄積用容量素子Cを形成する。容量絶縁膜34は、BST(Ba, Sr)TiO<sub>3</sub>などの高誘電体材料や、PZT(PbZr<sub>x</sub>Ti<sub>1-x</sub>O<sub>3</sub>)、PLT(PbLa<sub>x</sub>Ti<sub>1-x</sub>O<sub>3</sub>)、PLZT、PbTiO<sub>3</sub>、SrTiO<sub>3</sub>、BaTiO<sub>3</sub>、PbZrO<sub>3</sub>、LiNbO<sub>3</sub>、Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>、BaMgF<sub>4</sub>、Y<sub>1</sub>系(SrBi<sub>2</sub>(Nb, Ta)<sub>2</sub>O<sub>9</sub>)などの強誘電体材料で構成することもできる。またプレート電極35は、Wシリサイド/TiN、Ta、Cu、Ag、Pt、Ir、IrO<sub>2</sub>、Rh、RhO<sub>2</sub>、Os、OsO<sub>2</sub>、Ru、RuO<sub>2</sub>、Re、ReO<sub>3</sub>、Pd、Auなどの金属膜もしくは導電性金属酸化物膜などで構成することもできる。

【0086】プレート電極35は、TiN膜(35A)で構成されるので、その膜厚をあまり厚くするとTiN膜にクラックが入ったり、下層の容量絶縁膜34にストレスが加わって特性が劣化したりする虞れがある。従って、TiN膜(35A)は、比較的薄い膜厚(0.2 $\mu$ m程度)とするのがよい。

【0087】次に、図23に示すように、情報蓄積用容量素子Cの上部にCVD法で酸化シリコン膜38を堆積し、次いでその上部にSOG膜39をスピン塗布し、さらにその上部にCVD法で酸化シリコン膜40を堆積した後、フォトレジストをマスクにして情報蓄積用容量素子Cのプレート電極35の上部の絶縁膜(酸化シリコン膜40、SOG膜39および酸化シリコン膜38)をエッチングすることにより接続孔42を形成する。また同時に、周辺回路の第1層目の配線30Bの上部の絶縁膜(酸化シリコン膜40、SOG膜39、酸化シリコン膜38、酸化シリコン膜32、SOG膜31および窒化シリコン膜27)をエッチングすることにより接続孔43を形成する。

【0088】次に、図24に示すように、接続孔42、43の内部にWのプラグ44を埋め込む。プラグ44は、酸化シリコン膜40の上部にCVD法で堆積したW膜をエッチバックして形成する。プラグ44は、TiN膜とW膜との積層膜などで構成することもできる。

【0089】その後、酸化シリコン膜40の上部にYセレクト線YSおよび周辺回路の第2層目の配線41A、

41Bを形成することにより、前記図3に示すDRAMが略完成する。Yセレクト線YSおよび配線41A、41Bは、酸化シリコン膜40の上部にスパッタリング法でTiN膜、Al合金膜およびTiN膜を堆積した後、フォトリソをマスクにしたエッチングでこれらの膜をパターンニングして同時に形成する。Yセレクト線YSおよび配線41A、41Bは、TiN膜とCu膜との積層膜などで構成することもできる。

【0090】なお、前述した情報蓄積用容量素子Cの上部に接続孔42を形成し、周辺回路の配線30Bの上部に接続孔43を形成する工程(図23)では、情報蓄積用容量素子Cの上部の絶縁膜の膜厚に比べて配線30Bの上部の絶縁膜の膜厚が相当厚いため、接続孔42の底部に露出したプレート電極35が削られる虞れがある。これを防ぐには、図25に示すように、蓄積電極33の上部に堆積した酸化タンタル膜34AとTiN膜35Aをパターンニングして情報蓄積用容量素子Cを形成する際に、蓄積電極33の下層の酸化シリコン膜32とSOG膜32の一部とをエッチングし、配線30Bの上部の絶縁膜の膜厚を薄くしておく。このようにすると、図26

に示すように、情報蓄積用容量素子Cの上部の絶縁膜の膜厚(A)と配線30Bの上部の絶縁膜の膜厚(B)の差が小さくなるので、接続孔42、43を同時に形成する際に接続孔42の底部のプレート電極35が削られる不具合を防止することができる。

【0091】上記のように構成された本実施の形態によれば、次のような効果を得ることができる。

【0092】(1) メモリセル選択用MISFETQtのゲート電極8A(ワード線WL)、周辺回路のnチャネル型MISFETQnのゲート電極8Bおよびpチャネル型MISFETQpのゲート電極8Cを低抵抗の導電膜で構成し、そのシート抵抗を $2\Omega/\square$ 以下としたことにより、ゲート遅延を低減することができるので、DRAMの動作速度を向上させることができる。また、従来、情報蓄積用容量素子の上部に形成していたゲート電極裏打ち用の低抵抗メタル配線(シャント用ワード線)が不要となるので、メモリアレイMARYの配線層を1層減らすことができる。

【0093】(2) 上記(1)により、1本のワード線WLに接続されるメモリセルの数を多くすることができる。すなわち、所定の数のメモリセルに接続されるワードドライバWDおよびワードデコーダの数を減らすことができるので、その分、チップサイズを縮小して(またはメモリアレイMARYの占有面積を拡大して)DRAMの集積度を向上させることができる。

【0094】図27は、ワード線のシート抵抗( $\Omega/\square$ )と、アドレス・デコード信号の入力(50%)からワード線が立ち上がる(90%)までの時間との関係を示すグラフである。ここで、例えばRAS(ロウ・アドレス・ストロブ)アクセス時間( $t_{RAS}$ )=30nm

(ワード線の立ち上がり時間=6.5nmに相当)を実現するためには、図示のように、ワード線一本当たり接続されるメモリセルの数を256セルとした場合、ワード線のシート抵抗を約 $8\Omega/\square$ 以下とすればよい。これに対し、ワード線一本当たり接続されるメモリセルの数を512セルにしてチップサイズを5%程度縮小しようとする、ワード線のシート抵抗を約 $2\Omega/\square$ 以下にする必要がある。この数値は、メモリセルの最小加工寸法が縮小された場合でも、ワード線のピッチおよびビット線のピッチも同じように縮小されるために変わらない。従って、ゲート電極8A(ワード線WL)のシート抵抗を $2\Omega/\square$ 以下にした本実施の形態によれば、ワード線一本当たり接続されるメモリセルの数を増やしてチップサイズを縮小することができる。

【0095】(3) ビット線BL<sub>1</sub>, BL<sub>2</sub>を低抵抗の導電膜で構成し、そのシート抵抗を $2\Omega/\square$ 以下としたことにより、ビット線BL<sub>1</sub>, BL<sub>2</sub>を形成する工程で周辺回路の配線30A、30Bを同時に形成することができる。これにより、周辺回路の配線形成工程を1工程減らすことができる。

【0096】(4) 周辺回路のnチャネル型MISFETQnやpチャネル型MISFETQpに接続される第1層目の配線配線30A、30Bをメモリセルの情報蓄積用容量素子Cよりも下層に配置したことにより、nチャネル型MISFETQnのソース領域、ドレイン領域の上部に形成する接続孔23、24のアスペクト比およびpチャネル型MISFETQpのソース領域、ドレイン領域の上部に形成する接続孔25、26のアスペクト比を小さくすることができるので、これらの接続孔23~26の内部における配線の接続信頼性を向上させることができる。

【0097】(5) 上記(1)、(3)により、メモリアレイMARYの配線層を1層減らし、周辺回路の配線層を1層減らすことができるので、DRAMの製造工程を低減して歩留まりの向上および製造コストの低減を図ることができる。

【0098】(実施の形態2) 本実施の形態のDRAMの製造方法は、メモリセル選択用MISFETQtのゲート電極8A(ワード線WL)、周辺回路のnチャネル型MISFETQnのゲート電極8Bおよびpチャネル型MISFETQpのゲート電極8Cを形成する工程で周辺回路の配線を同時に形成し、ビット線BL<sub>1</sub>, BL<sub>2</sub>を形成する工程で周辺回路の配線を同時に形成する。

【0099】このDRAMを製造するには、まず図28に示すように、半導体基板1の主面に前記実施の形態1と同様の方法でフィールド酸化膜4、p型ウエル2、n型ウエル3、p型チャネルストッパ層5およびn型チャネルストッパ層6を形成し、次いでフィールド酸化膜4で囲まれたp型ウエル2、n型ウエル3のそれぞれのアクティブ領域の表面にゲート酸化膜7を形成した後、メ



モリセル選択用MISFETQ<sub>t</sub>のゲート電極8A(ワード線WL)、nチャネル型MISFETQ<sub>n</sub>のゲート電極8B、pチャネル型MISFETQ<sub>p</sub>のゲート電極8Cおよび第1層目の配線8Dを形成する。ゲート電極8A(ワード線WL)、ゲート電極8B、8Cおよび配線8Dは、前記実施の形態1のゲート電極8A(ワード線WL)およびゲート電極8B、8Cと同じ低抵抗の導電膜で形成し、そのシート抵抗を2Ω/□以下とする。

【0100】次に、図29に示すように、p型ウエル2にn型不純物(P)をイオン注入してメモリセル選択用MISFETQ<sub>t</sub>のn型半導体領域9とnチャネル型MISFETQ<sub>n</sub>のn<sup>-</sup>型半導体領域12とをゲート電極8A、8Bに対して自己整合で形成し、n型ウエル3にp型不純物(B)をイオン注入してpチャネル型MISFETQ<sub>p</sub>のp<sup>-</sup>型半導体領域をゲート電極8Cに対して自己整合で形成する。

【0101】次に、図30に示すように、メモリセル選択用MISFETQ<sub>t</sub>のゲート電極8A(ワード線WL)、nチャネル型MISFETQ<sub>n</sub>のゲート電極8B、pチャネル型MISFETQ<sub>p</sub>のゲート電極8Cおよび配線8Dのそれぞれの側壁に窒化シリコンのサイドウォールスペーサ11を形成した後、周辺回路のp型ウエル2にn型不純物(P)をイオン注入してnチャネル型MISFETQ<sub>n</sub>のn<sup>+</sup>型半導体領域13をサイドウォールスペーサ11に対して自己整合で形成し、n型ウエル3にp型不純物(B)をイオン注入してpチャネル型MISFETQ<sub>p</sub>のp<sup>+</sup>型半導体領域15をサイドウォールスペーサ11に対して自己整合で形成する。

【0102】次に、図31に示すように、メモリセル選択用MISFETQ<sub>t</sub>のゲート電極8A(ワード線WL)、nチャネル型MISFETQ<sub>n</sub>のゲート電極8B、pチャネル型MISFETQ<sub>p</sub>のゲート電極8Cおよび第1層目の配線8Dのそれぞれの上部にCVD法で酸化シリコン膜17とBPSG膜18とを堆積した後、メモリセル選択用MISFETQ<sub>t</sub>のソース領域、ドレイン領域(n型半導体領域9、9)の上部に接続孔21、22を形成し、この接続孔21、22の内部に多結晶シリコンのプラグ20を埋め込む。プラグ20は、前記実施の形態1の方法(図11、図12参照)に従って形成する。

【0103】次に、図32に示すように、BPSG膜18の上部にCVD法で酸化シリコン膜19を堆積し、次いでフォトリソをマスクにしたエッチングで接続孔21の上部の酸化シリコン膜19を除去した後、フォトリソをマスクにして周辺回路の酸化シリコン膜19、BPSG膜18、酸化シリコン膜17およびゲート酸化膜7をエッチングすることにより、nチャネル型MISFETQ<sub>n</sub>のソース領域、ドレイン領域の一方の上部に接続孔23を形成し、他方の上部に接続孔24を形成する。また、pチャネル型MISFETQ<sub>p</sub>のソース

領域、ドレイン領域の一方の上部に接続孔25を形成し、他方の上部に接続孔26を形成し、さらに配線8Dの上部に接続孔46を形成する。接続孔23~26、46は、前記実施の形態1の方法(図11~13参照)に準じて形成する。

【0104】次に、図33に示すように、接続孔23、24の底部に露出したnチャネル型MISFETQ<sub>n</sub>のn<sup>+</sup>型半導体領域13の表面と、接続孔25、26の底部に露出したpチャネル型MISFETQ<sub>p</sub>のp<sup>+</sup>型半導体領域15の表面とにTiシリサイド層16を形成した後、メモリアレイMARYの酸化シリコン膜19の上部にビット線BL<sub>1</sub>、BL<sub>2</sub>を形成し、周辺回路の酸化シリコン膜19の上部に第2層目の配線30A、30Bを形成する。配線30Bは、前記接続孔46を通じて第1層目の配線8Dと電気的に接続される。ビット線BL<sub>1</sub>、BL<sub>2</sub>および配線30A、30Bは、前記実施の形態1のビット線BL<sub>1</sub>、BL<sub>2</sub>および配線30A、30Bと同じ低抵抗の導電膜で形成し、そのシート抵抗を2Ω/□以下とする。Tiシリサイド層16、ビット線BL<sub>1</sub>、BL<sub>2</sub>および配線30A、30Bは、前記実施の形態1の方法(図11~13参照)に従って形成する。

【0105】図示は省略するが、その後、前記実施の形態1と同様の方法でビット線BL<sub>1</sub>、BL<sub>2</sub>の上部に情報蓄積用容量素子Cを形成した後、その上部にYセレクト線を形成し、同時に周辺回路の第3層目の配線を形成する。

【0106】上記した製造方法は、メモリセル選択用MISFETQ<sub>t</sub>のゲート電極8A(ワード線WL)、周辺回路のnチャネル型MISFETQ<sub>n</sub>のゲート電極8Bおよびpチャネル型MISFETQ<sub>p</sub>のゲート電極8Cを形成する工程で周辺回路の第1層目の配線8Dを同時に形成し、ビット線BL<sub>1</sub>、BL<sub>2</sub>を形成する工程で周辺回路の第2層目の配線30A、30Bを同時に形成し、Yセレクト線を形成する工程で周辺回路の第3層目の配線を同時に形成する。これにより、周辺回路の配線形成工程を2工程減らすことができるので、DRAMの製造工程を低減して歩留まりの向上および製造コストの低減を図ることができる。

【0107】(実施の形態3) 本実施の形態のDRAMの製造方法は、まず図34に示すように、p<sup>-</sup>型の単結晶シリコンからなる半導体基板1を熱酸化してその表面に薄い酸化シリコン膜50を形成した後、CVD法を用いて酸化シリコン膜50上に窒化シリコン膜51を堆積し、フォトリソをマスクにして窒化シリコン膜51をエッチングすることにより、素子分離領域の窒化シリコン膜51を除去する。

【0108】次に、図35に示すように、窒化シリコン膜51をマスクにして素子分離領域の半導体基板1をエッチングすることにより浅溝52を形成し、次いで半導体基板1を熱酸化して浅溝52の内壁に酸化シリコン膜

10

20

30

40

50

53を形成する。

【0109】次に、図36に示すように、浅溝52の内部に酸化シリコン膜54を埋め込む。浅溝52の内部に酸化シリコン膜54を埋め込むには、CVD法を用いて半導体基板1上に酸化シリコン膜54を堆積した後、化学的機械研磨(CMP)法でこの酸化シリコン膜54を研磨する。その後、半導体基板1上に残った窒化シリコン膜51をエッチングで除去する。

【0110】次に、図37に示すように、メモリセルを形成する領域と周辺回路のnチャネル型MISFETを形成する領域の半導体基板1にp型不純物(B)をイオン注入してp型ウエル2を形成し、周辺回路のpチャネル型MISFETを形成する領域の半導体基板1にn型不純物(P)をイオン注入してn型ウエル3を形成する。このとき、n型不純物、p型不純物のそれぞれの分布のピークが浅溝52の深さとほぼ一致するようにイオン注入を行うことにより、p型ウエル2をp型チャネルストッパ層と兼用させ、n型ウエル3をn型チャネルストッパ層と兼用させることができる。

【0111】次に、図38に示すように、浅溝52で囲まれたp型ウエル2、n型ウエル3のそれぞれのアクティブ領域の表面を熱酸化してゲート酸化膜7を形成する。これ以後の工程は、前記実施の形態1と同じである。

【0112】上記した製造方法によれば、p型ウエル2をp型チャネルストッパ層と兼用させ、n型ウエル3をn型チャネルストッパ層と兼用させることにより、p型チャネルストッパ層を形成するためのイオン注入工程とn型チャネルストッパ層を形成するためのイオン注入工程とが不要となるので、DRAMの製造工程を低減することができる。

【0113】上記した製造方法によれば、半導体基板1に形成した浅溝52で素子分離を行うことにより、LOCOS法で形成したフィールド酸化膜のような素子分離領域の端部からアクティブ領域に延びるバースビーク(bird's beak)が生じないことから、DRAMの微細化を促進することができる。また、素子分離領域とアクティブ領域との間の段差がなくなるため、半導体基板1上に堆積したゲート電極材料などの導電膜の膜厚が段差部で薄くなったりする不具合を防止することができる。

【0114】浅溝52で素子分離を行う本実施の形態のDRAMは、前記実施の形態1、2のDRAMおよび以下の実施の形態(4~7)のDRAMにも適用することができる。

【0115】(実施の形態4)本実施の形態のDRAMの製造方法は、メモリセルの情報蓄積用容量素子Cの蓄積電極(下部電極)を形成する工程で周辺回路の配線を同時に形成する。

【0116】このDRAMを製造するには、まず図39に示すように、半導体基板1の主面上に前記実施の形態

1と同様の方法でメモリセル選択用MISFETQ<sub>t</sub>のゲート電極8A(ワード線WL)、周辺回路のnチャネル型MISFETQ<sub>n</sub>のゲート電極8Bおよびpチャネル型MISFETQ<sub>p</sub>を形成する。ゲート電極8A(ワード線WL)およびゲート電極8B、8Cは、前記実施の形態1のゲート電極8A(ワード線WL)およびゲート電極8B、8Cと同じ低抵抗の導電膜で形成し、そのシート抵抗を2Ω/□以下とする。

【0117】次に、図40に示すように、メモリセル選択用MISFETQ<sub>t</sub>のゲート電極8A(ワード線WL)、nチャネル型MISFETQ<sub>n</sub>のゲート電極8Bおよびpチャネル型MISFETQ<sub>p</sub>のゲート電極8Cのそれぞれの上にCVD法で酸化シリコン膜17とBPSG膜18とを堆積した後、多結晶シリコン膜28をマスクにしてBPSG膜18、酸化シリコン膜17およびゲート酸化膜7をエッチングすることにより、メモリセル選択用MISFETQ<sub>t</sub>のソース領域、ドレイン領域(n型半導体領域9、9)の上部に接続孔21、22を形成する。このとき同時に、後の工程でビット線(BL<sub>2</sub>)が接続される周辺回路のnチャネル型MISFETQ<sub>n</sub>のソース領域、ドレイン領域の一方(n<sup>+</sup>型半導体領域13)の上部にも接続孔23を形成する。

【0118】次に、図41に示すように、接続孔21、22、23の内部に多結晶シリコンのプラグ20を埋め込んだ後、図42に示すように、メモリアレイMARYの酸化シリコン膜19の上部にビット線BL<sub>1</sub>、BL<sub>2</sub>を形成する。ビット線BL<sub>1</sub>、BL<sub>2</sub>は、前記実施の形態1のビット線BL<sub>1</sub>、BL<sub>2</sub>と同じ低抵抗の導電膜で形成し、そのシート抵抗を2Ω/□以下とする。

【0119】次に、図43に示すように、CVD法で堆積した窒化シリコン膜を異方性エッチングで加工してビット線BL<sub>1</sub>、BL<sub>2</sub>の側壁にサイドウォールスペーサ29を形成した後、ビット線BL<sub>1</sub>、BL<sub>2</sub>の上部にSOG膜31をスピン塗布し、次いでその上部にCVD法で酸化シリコン膜32を堆積する。

【0120】次に、図44に示すように、フォトリジストをマスクにして酸化シリコン膜32およびSOG膜31をエッチングすることにより、メモリセル選択用MISFETQ<sub>t</sub>のソース領域、ドレイン領域の他方(n型半導体領域9)の上部に形成された前記接続孔22の上部に接続孔37を形成する。このとき同時に、周辺回路の酸化シリコン膜32、SOG膜31、BPSG膜18、酸化シリコン膜17およびゲート酸化膜7をエッチングすることにより、nチャネル型MISFETQ<sub>n</sub>のソース領域、ドレイン領域の他方(n<sup>+</sup>型半導体領域13)の上部に接続孔24を形成し、pチャネル型MISFETQ<sub>p</sub>のソース領域、ドレイン領域の一方(p<sup>+</sup>型半導体領域15)の上部に接続孔25を形成し、他方(p<sup>+</sup>型半導体領域15)の上部に接続孔26を形成する。

【0121】次に、図45に示すように、接続孔37、24、25、26の内部にTiN膜とW膜との積層膜などで構成されたプラグ47を形成した後、図46に示すように、接続孔37の上部に情報蓄積用容量素子Cの蓄積電極33を形成し、同時に周辺回路に第1層目の配線33A、33Bを形成する。蓄積電極33および配線33A、33Bは、前記実施の形態1の蓄積電極33と同じ低抵抗の導電膜で形成し、そのシート抵抗を $2\Omega/\square$ 以下とする。

【0122】次に、図47に示すように、蓄積電極33の上部に容量絶縁膜34およびプレート電極35を形成して情報蓄積用容量素子Cを形成した後、図48に示すように、情報蓄積用容量素子Cの上部にCVD法で酸化シリコン膜38を堆積し、次いでその上部にSOG膜39をスピン塗布し、さらにその上部にCVD法で酸化シリコン膜40を堆積する。続いて、フォトリソistをマスクにして情報蓄積用容量素子Cのプレート電極35の上部の絶縁膜（酸化シリコン膜40、SOG膜39および酸化シリコン膜38）をエッチングして接続孔42を形成し、同時に周辺回路の第1層目の配線33Bの上部の絶縁膜（酸化シリコン膜40、SOG膜39および酸化シリコン膜38）をエッチングして接続孔43を形成した後、接続孔42、43の内部にWのプラグ44を埋め込む。

【0123】次に、図49に示すように、酸化シリコン膜40の上部にYセレクト線YSおよび周辺回路の第2層目の配線41A、41Bを形成する。Yセレクト線YSおよび配線41A、41Bは、前記実施の形態1のYセレクト線YSおよび配線41A、41Bと同じ低抵抗の導電膜、例えばTiN膜とAl合金膜とTiN膜との積層膜や、TiN膜とCu膜との積層膜などで構成する。

【0124】上記した製造方法によれば、情報蓄積用容量素子Cの蓄積電極33を低抵抗の導電膜で構成し、そのシート抵抗を $2\Omega/\square$ 以下としたことにより、蓄積電極33を形成する工程で周辺回路の配線33A、33Bを同時に形成することができるので、周辺回路の配線形成工程を1工程減らすことができる。

【0125】なお、本実施の形態では、情報蓄積用容量素子Cの蓄積電極33を形成する工程で周辺回路の第1層目の配線33A、33Bを同時に形成したが、ゲート電極8A（ワード線WL）およびゲート電極8B、8Cを形成する工程（あるいはビット線BL<sub>1</sub>、BL<sub>2</sub>を形成する工程）で周辺回路の第1層目の配線を同時に形成し、情報蓄積用容量素子Cの蓄積電極33を形成する工程で周辺回路の第2層目の配線を同時に形成し、Yセレクト線YSを形成する工程で周辺回路の第3層目の配線を同時に形成することにより、周辺回路の配線形成工程をさらに1工程減らすことができる。

【0126】（実施の形態5）本実施の形態のDRAM

の製造方法は、情報蓄積用容量素子Cのプレート電極（上部電極）を形成する工程で周辺回路の配線を同時に形成する。

【0127】このDRAMを製造するには、まず図50に示すように、半導体基板1上に前記実施の形態1と同様の方法でメモリセル選択用MISFETQ<sub>t</sub>、周辺回路のnチャネル型MISFETQ<sub>n</sub>およびpチャネル型MISFETQ<sub>p</sub>を形成し、次いでそれらの上部にビット線BL<sub>1</sub>、BL<sub>2</sub>と周辺回路の第1層目の配線30A、30Bとを同時に形成し、さらにビット線BL<sub>1</sub>、BL<sub>2</sub>の上部に情報蓄積用容量素子Cの蓄積電極33を形成する。ゲート電極8A（ワード線WL）およびゲート電極8B、8Cは、前記実施の形態1のゲート電極8A（ワード線WL）およびゲート電極8B、8Cと同じ低抵抗の導電膜で形成し、そのシート抵抗を $2\Omega/\square$ 以下とする。また、ビット線BL<sub>1</sub>、BL<sub>2</sub>および配線30A、30Bも前記実施の形態1のビット線BL<sub>1</sub>、BL<sub>2</sub>と同じ低抵抗の導電膜で形成し、そのシート抵抗を $2\Omega/\square$ 以下とする。

【0128】次に、図51に示すように、蓄積電極33の上部にプラズマCVD法で酸化タンタル膜34Aを堆積し、次いでその上部にCVD法でTiN膜35Aを堆積した後、図52に示すように、フォトリソistをマスクにしたエッチングでこれらの膜をパターニングして蓄積電極33の上部に容量絶縁膜34およびプレート電極35を形成して情報蓄積用容量素子Cを形成する。このとき同時に、周辺回路の酸化タンタル膜34AとTiN膜35Aとをパターニングして周辺回路の第2層目の配線35Bを形成する。

【0129】周辺回路の第2層目の配線35Bは、絶縁膜である酸化タンタル膜34Aの上部に導電膜であるTiN膜35Aを積層した構成になっているので、周辺回路の第1層目の配線（30B）とダイレクトに接続することができない。

【0130】そこで、次に図53に示すように、情報蓄積用容量素子Cおよび配線35Bの上部にCVD法で酸化シリコン膜38を堆積し、次いでその上部にSOG膜39をスピン塗布し、さらにその上部にCVD法で酸化シリコン膜40を堆積した後、フォトリソistをマスクにして情報蓄積用容量素子Cのプレート電極35の上部の絶縁膜（酸化シリコン膜40、SOG膜39および酸化シリコン膜38）をエッチングして接続孔42を形成し、同時に周辺回路の配線35Bの上部の絶縁膜（酸化シリコン膜40、SOG膜39および酸化シリコン膜38）をエッチングして接続孔48を形成し、さらに周辺回路の第1層目の配線30Bの上部の絶縁膜（酸化シリコン膜40、SOG膜39、酸化シリコン膜38、酸化シリコン膜32、SOG膜31および窒化シリコン膜27）をエッチングして接続孔43を形成する。

【0131】次に、図54に示すように、接続孔42、

43、48の内部にWのプラグ44を埋め込んだ後、酸化シリコン膜40の上部にYセレクト線YSおよび周辺回路の第3層目の配線41A、41Bを形成する。これにより、周辺回路の第2層目の配線35Bは、第3層目の配線41Bを介して第1層目の配線30Bと電気的に接続される。

【0132】上記した製造方法によれば、ビット線BL<sub>1</sub>、BL<sub>2</sub>を形成する工程で周辺回路の第1層目の配線30A、30Bを同時に形成し、情報蓄積用容量素子Cのプレート電極35を形成する工程で周辺回路の第2層目の配線35Bを同時に形成し、Yセレクト線を形成する工程で周辺回路の第3層目の配線を同時に形成することにより、周辺回路の配線形成工程を2工程減らすことができる。

【0133】なお、前述した接続孔42、43、48を形成する工程(図53)では、情報蓄積用容量素子Cの上部や配線35Bの上部の絶縁膜の膜厚に比べて配線30Bの上部の絶縁膜の膜厚が相当厚いため、接続孔42の底部に露出したプレート電極35や接続孔48の底部に露出した配線35Bが削られる虞れがある。これを防ぐには、図55に示すように、配線30Bの下部に、実際のゲート電極としては使用されない段差緩和用のダミーゲートDWLを配置する。このようにすると、接続孔43のアスペクト比を接続孔42、48のそれに近づけることができるので、接続孔42の底部のプレート電極35や接続孔48の底部の配線35Bが削られる不具合を防止することができる。

【0134】また、同図に示すように、接続孔49を通じて第3層目の配線41Cと電気的に接続される第2層目の配線35Cの下部に、実際の配線としては使用されない、電気的にはフローティングのダミー配線30Cを形成してもよい。このダミー配線30Cは、ビット線BL<sub>1</sub>、BL<sub>2</sub>および周辺回路の第1層目の配線30A、30Bを形成する工程で同時に形成する。このようにすると、接続孔49の底部の配線35Cが削られても、その下部のダミー配線30Cがエッチングのストッパとなるので、接続孔49が基板にまで突き抜けるような不具合を防止することができる。このとき、ダミー配線30Cの下部にさらにダミーゲートDWLを形成しておけば、接続孔49が基板にまで突き抜ける不具合をより確実に防止することができる。

【0135】プレート電極35と同層のTiN膜で形成される配線35Cは、前述したように、その膜厚をあまり厚くできないため、上記のようなダミー配線30CやダミーゲートDWLを接続孔49の下部に、平面的には接続孔49を囲むようなパターンで形成することが有効である。

【0136】(実施の形態6) 本実施の形態のDRAMの製造方法は、前記実施の形態5と同様、ビット線BL<sub>1</sub>、BL<sub>2</sub>を形成する工程および情報蓄積用容量素子Cの

プレート電極(上部電極)を形成する工程で周辺回路の配線を同時に形成する。

【0137】このDRAMを製造するには、まず前記実施の形態5と同様の方法で半導体基板1上にメモリセル選択用MISFETQ<sub>t</sub>、周辺回路のnチャネル型MISFETQ<sub>n</sub>およびpチャネル型MISFETQ<sub>p</sub>を形成し、次いでメモリセル選択用MISFETQ<sub>t</sub>の上部にビット線BL<sub>1</sub>、BL<sub>2</sub>を形成する(図50参照)。このとき本実施の形態では、図56に示すように、周辺回路の第1層目の配線30D~30Gを同時に形成する。ビット線BL<sub>1</sub>、BL<sub>2</sub>および配線30D~30Gは、前述した低抵抗の導電膜で形成し、そのシート抵抗を2Ω/□以下とする。

【0138】次に、図57に示すように、周辺回路の第1層目の配線30D~30Gの上部に周辺回路の第2層目の配線35C~35Fを形成する。配線35C~35Fは、情報蓄積用容量素子Cの容量絶縁膜34およびプレート電極35を形成する工程で同時に形成し、そのシート抵抗を2Ω/□以下とする。このとき、配線35Cは第1層目の配線30Dの真上に配置し、配線35Dは第1層目の配線30Eの真上に配置する。また、配線35Eは第1層目の配線30Fの真上に配置し、配線35Fは第1層目の配線30Gの真上に配置する。

【0139】次に、図58に示すように、配線35C~35Fの上部にCVD法で酸化シリコン膜38を堆積し、次いでその上部にSOG膜39をスピン塗布し、さらにその上部にCVD法で酸化シリコン膜40を堆積した後、図59に示すように、フォトリジストをマスクにして周辺回路の第1層目の配線30D~30Gの上部の絶縁膜および第2層目の配線35C~35Fをエッチングすることにより、第2層目の配線35Cを貫通して第1層目の配線30Dに達する接続孔56、第2層目の配線35Dを貫通して第1層目の配線30Eに達する接続孔57、第2層目の配線35Eを貫通して第1層目の配線30Fに達する接続孔58、第2層目の配線35Fを貫通して第1層目の配線30Gに達する接続孔59を同時に形成する。このエッチングは、被エッチング材料およびそれらの膜厚がすべての接続孔56~59でほぼ同じであるため、接続孔56~59のいずれかの内部にエッチング残りが生じたり、第1層目の配線30D~30Gのいずれかが必要以上に削られたりすることはない。

【0140】次に、図60に示すように、接続孔56~59の内部にWのプラグ44を埋め込んだ後、図61に示すように、酸化シリコン膜40の上部に周辺回路の第3層目の配線41D~41Gを形成する。

【0141】ここで、同図の左端に示す構造は、接続孔56に形成されたプラグ44を通じて第2層目の配線35Cと第1層目の配線30Dとを電気的に接続するための構造である。すなわち、第3層目の配線41Dは、実際の配線としては使用されないダミー配線であり、第2

層目の配線35Cの上部の接続孔56の表面を覆うキャップ材として機能する。つまり、実際の配線である第3層目の配線41(E、F、G)をパターニングする際に接続孔56内のプラグ44の表面が削られないようにするための保護膜である。従って、配線41Dは、接続孔56を完全に覆うような平面パターンで形成する必要がある。

【0142】また、同図の左端から2番目の構造は、接続孔57に形成されたプラグ44を通じて第3層目の配線41E、第2層目の配線35Dおよび第1層目の配線30Eの3層間を相互に電気的に接続するための構造である。同図の右端から2番目の構造は、接続孔58に形成されたプラグ44を通じて第3層目の配線41Fと第1層目の配線30Fとを電気的に接続するための構造である。この場合、第2層目の配線35Eは、実際の配線としては使用されないダミー配線である。同図の右端の構造は、接続孔58に形成されたプラグ44を通じて第3層目の配線41Gと第2層目の配線35Fとを電気的に接続するための構造である。この場合、第1層目の配線30Gは、実際の配線としては使用されないダミー配線であり、接続孔59の底部が基板に突き抜けるのを防いでいる。上記ダミー配線41D、35E、30Gは、接続孔56、58、59以外の領域では他の配線に接続されていない配線である。プラグ44は導電材料であればよく、Wには限定されない。

【0143】図62は、周辺回路の第1～第3層目の配線間の接続の例を示す平面図である。図中の配線41H、41Iは電源線を構成する第3層目の配線、配線41J、41Kは信号線を構成する第3層目の配線であり、共にYセレクト線YSと同層で形成される。配線35G、35Hは信号線を構成する第2層目の配線であり、情報蓄積用容量素子Cのプレート電極35と同層で形成される。配線30H～30Kは第1層目の配線であり、ビット線BL<sub>1</sub>、BL<sub>2</sub>と同層で形成される。

【0144】この例では、第2層目の配線35Hと第1層目の配線30Iとを接続する接続孔60の上部に第3層目のダミー配線41Gが形成され、第3層目の配線41Iと第1層目の配線30Hとを接続する接続孔61の途中に第2層目のダミー配線35Iが形成され、第3層目の配線41Jと第2層目の配線35Hとを接続する接続孔62の下部に第1層目のダミー配線30Lが形成されている。また、第3層目の配線41Kと第2層目の配線35Gと第1層目の配線30Jは、接続孔63を通じて互いに接続されている。これらの接続孔60～63は、前述した方法で同時に一括して形成される。すなわち、接続孔60～63は、第3層目の配線の形成前に第1層目の配線に達するように形成される。

【0145】このように、本実施の形態の製造方法は、前記図61に示すように、DRAMの周辺回路の第2層目の配線と第1層目の配線とを電気的に接続する接続孔

(56)、第3層目の配線と第2層目の配線と第1層目の配線とを電気的に接続する接続孔(57)、第3層目の配線と第1層目の配線とを電気的に接続する接続孔

(58)および第3層目の配線と第2層目の配線とを電気的に接続する接続孔(59)を同一工程で同時に形成する。またその際、被エッチング材料およびそれらの膜厚をすべての接続孔56～59でほぼ同じにする。これにより、接続孔56～59をほぼ同じ条件で形成することができるので、周辺回路の配線の接続信頼性を向上させることができる。周辺回路の第2層目の配線35C～35Fは、情報蓄積用容量素子Cの蓄積電極(下部電極)を形成する工程で同時に形成することもできる。

【0146】なお、本実施の形態の製造方法は、情報蓄積用容量素子Cのプレート電極(上部電極)を形成する工程で周辺回路の配線を同時に形成するが、このとき周辺回路の抵抗素子を同時に形成することもできる。

【0147】図63は、不良ビットを救済する冗長回路のヒューズ35Jをプレート電極および周辺回路の第2層目の配線と同時に形成した例を示している。この例では、ヒューズ35Jの両端は、接続孔64を通じて第3層目の配線41Mと電気的に接続されている。また、接続孔64の下部には、接続孔64が基板に突き抜けるのを防止するために第1層目のダミー配線30Mが形成されている。

【0148】周辺回路の抵抗素子は、情報蓄積用容量素子Cの蓄積電極(下部電極)を形成する工程で同時に形成することもできる。また、ビット線BL<sub>1</sub>、BL<sub>2</sub>を形成する工程で同時に形成することもできる。

【0149】(実施の形態7)CPUなどの論理LSIとメモリLSIとを同一半導体基板上に形成した1チップマイコンのRAM部にはDRAMが使用される。図64に示す1チップマイコンは、そのRAM部に本発明のDRAMを含んでいる。このDRAMは、例えば前記実施の形態5のDRAMと同様、低抵抗のビット線BLを形成する工程で周辺回路の第1層目の配線を同時に形成し、情報蓄積用容量素子Cのプレート電極を形成する工程で周辺回路の第2層目の配線を同時に形成し、Yセレクト線を形成する工程で周辺回路の第3層目の配線を同時に形成する。

【0150】このDRAMを上記1チップマイコンのRAM部に使用することにより、CPU部や入出力(I/O)回路などの第1層目の配線(M1)をビット線BLを形成する工程で同時に形成し、第2層目の配線(M2)をプレート電極を形成する工程で同時に形成し、第3層目の配線(M3)をYセレクト線を形成する工程で同時に形成することができるので、1チップマイコンの製造工程を簡略化してその製造コストを低減することができる。

【0151】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実

10

20

30

40

50

施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

#### 【0152】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下の通りである。

【0153】本発明によれば、メモリアレイの配線層と周辺回路の配線層を減らすことができるので、DRAMの製造工程を低減して歩留まりの向上および製造コストの低減を図ることができる。

【0154】本発明によれば、ゲート電極（ワード線）を低抵抗化することができるので、所定の数のメモリセルに接続されるワードドライバやセンスアンプの数を減らすことができ、これにより、チップサイズを縮小してDRAMの集積度を向上させることができる。

【0155】本発明によれば、周辺回路のnチャネル型MISFETとpチャネル型MISFETとを接続する第1層目の配線および第2層目の配線をメモリセルの情報蓄積用容量素子よりも下層に配置したことにより、これらのMISFETのソース領域、ドレイン領域の上部に形成する接続孔のアスペクト比を小さくすることができ、周辺回路の配線の接続信頼性を向上させることができる。

#### 【図面の簡単な説明】

【図1】本発明の実施の形態1であるDRAMを形成した半導体チップの全体平面図である。

【図2】本発明の実施の形態1であるDRAMを形成した半導体チップの拡大平面図である。

【図3】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図4】本発明の実施の形態1であるDRAMのメモリセルを構成する導電層と周辺回路のMISFETを構成する導電層の各パターンを示す平面図である。

【図5】本発明の実施の形態1であるDRAMのメモリアレイとそれに隣接する周辺回路の各一部を示す回路図である。

【図6】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図7】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図8】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図9】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図10】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図11】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図12】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図13】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図14】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図15】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図16】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

10 【図17】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図18】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図19】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図20】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図21】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

20 【図22】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図23】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図24】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図25】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図26】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

30 【図27】本発明の実施の形態1であるDRAMのゲート電極（ワード線）のシート抵抗とワード線が立ち上がる時間との関係を示すグラフである。

【図28】本発明の実施の形態2であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図29】本発明の実施の形態2であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図30】本発明の実施の形態2であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図31】本発明の実施の形態2であるDRAMの製造方法を示す半導体基板の要部断面図である。

40 【図32】本発明の実施の形態2であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図33】本発明の実施の形態2であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図34】本発明の実施の形態3であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図35】本発明の実施の形態3であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図36】本発明の実施の形態3であるDRAMの製造方法を示す半導体基板の要部断面図である。

50 【図37】本発明の実施の形態3であるDRAMの製造

方法を示す半導体基板の要部断面図である。

【図38】本発明の実施の形態3であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図39】本発明の実施の形態4であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図40】本発明の実施の形態4であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図41】本発明の実施の形態4であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図42】本発明の実施の形態4であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図43】本発明の実施の形態4であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図44】本発明の実施の形態4であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図45】本発明の実施の形態4であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図46】本発明の実施の形態4であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図47】本発明の実施の形態4であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図48】本発明の実施の形態4であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図49】本発明の実施の形態4であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図50】本発明の実施の形態5であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図51】本発明の実施の形態5であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図52】本発明の実施の形態5であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図53】本発明の実施の形態5であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図54】本発明の実施の形態5であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図55】本発明の実施の形態5であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図56】本発明の実施の形態6であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図57】本発明の実施の形態6であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図58】本発明の実施の形態6であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図59】本発明の実施の形態6であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図60】本発明の実施の形態6であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図61】本発明の実施の形態6であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図62】本発明の実施の形態6であるDRAMの周辺

回路の第1～第3層目の配線間の接続方法を示す平面図である。

【図63】本発明の実施の形態6であるDRAMの冗長回路のヒューズパターンを示す平面図である。

【図64】本発明の実施の形態7であるDRAMを含む1チップマイコンの配線層の一部を示す平面図である。

【符号の説明】

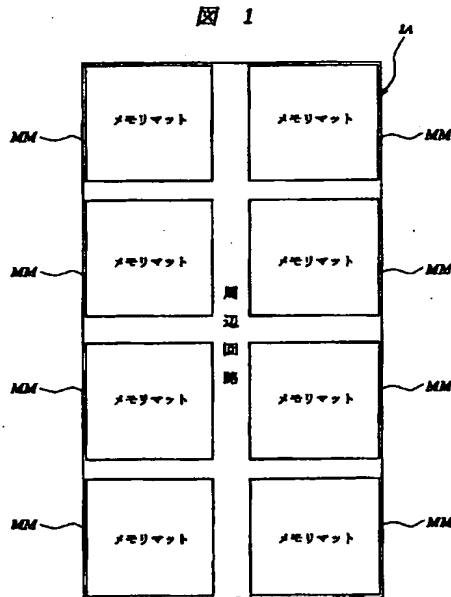
- 1 半導体基板
- 1A 半導体基板
- 2 p型ウエル
- 3 n型ウエル
- 4 フィールド酸化膜
- 5 p型チャネルストッパ層
- 6 n型チャネルストッパ層
- 7 ゲート酸化膜
- 8A、8B、8C ゲート電極
- 8D 配線
- 9 n型半導体領域
- 10 窒化シリコン膜
- 11 サイドウォールスペーサ
- 12 n<sup>-</sup>型半導体領域
- 13 n<sup>+</sup>型半導体領域
- 14 p<sup>-</sup>型半導体領域
- 15 p<sup>+</sup>型半導体領域
- 16 Tiシリサイド層
- 17 酸化シリコン膜
- 18 BPSG膜
- 19 酸化シリコン膜
- 20 プラグ
- 21 接続孔
- 22 接続孔
- 23 接続孔
- 24 接続孔
- 25 接続孔
- 26 接続孔
- 27 窒化シリコン膜
- 28 多結晶シリコン膜
- 29 サイドウォールスペーサ
- 30A～30K 配線
- 30L、30M ダミー配線
- 31 SOG膜
- 32 酸化シリコン膜
- 33 蓄積電極（下部電極）
- 33A～33G 配線
- 34 容量絶縁膜
- 34A 酸化タンタル膜
- 35 プレート電極（上部電極）
- 35A TiN膜
- 35B～35H 配線
- 35I ダミー配線



41

35J ヒューズ  
 36 プラグ  
 37 接続孔  
 38 酸化シリコン膜  
 39 SOG膜  
 40 酸化シリコン膜  
 41A~41K 配線  
 41L ダミー配線  
 41M 配線  
 42 接続孔  
 43 接続孔  
 44 プラグ  
 46 接続孔  
 47 プラグ  
 48 接続孔  
 49 接続孔  
 50 酸化シリコン膜

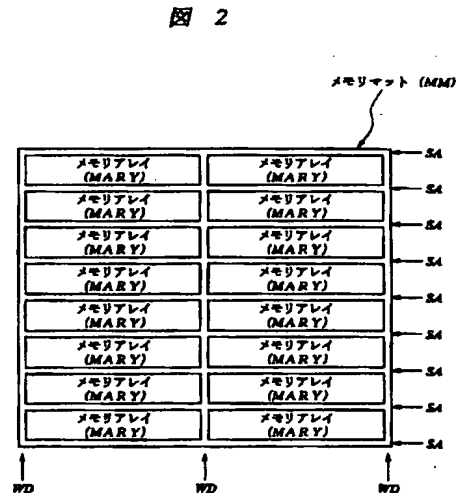
【図1】



42

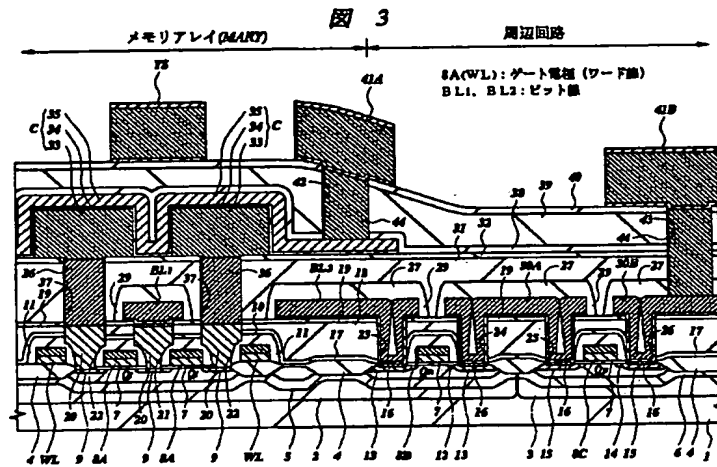
51 窒化シリコン膜  
 52 浅溝  
 53 酸化シリコン膜  
 54 酸化シリコン膜  
 60~64 接続孔  
 BL、BL<sub>1</sub>、BL<sub>2</sub> ビット線  
 C 情報蓄積用容量素子  
 DWL ダミーゲート  
 MARY メモリアレイ  
 10 MM メモリマツト  
 Qn nチャネル型MISFET  
 Qp pチャネル型MISFET  
 Qt メモリセル選択用MISFET  
 SA センスアンプ  
 WD ワードドライバ  
 WL ワード線  
 YS Yセレクト線 (カラム選択線)

【図2】



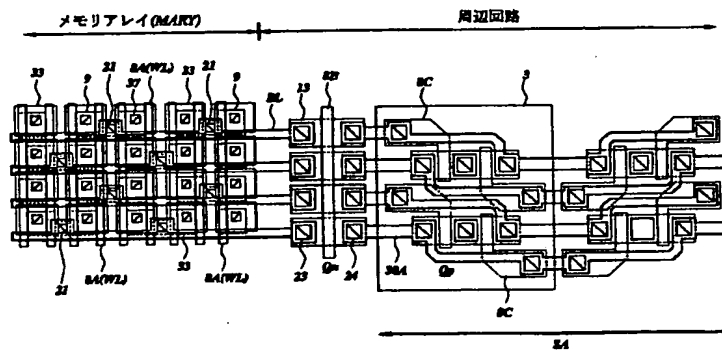


【図3】

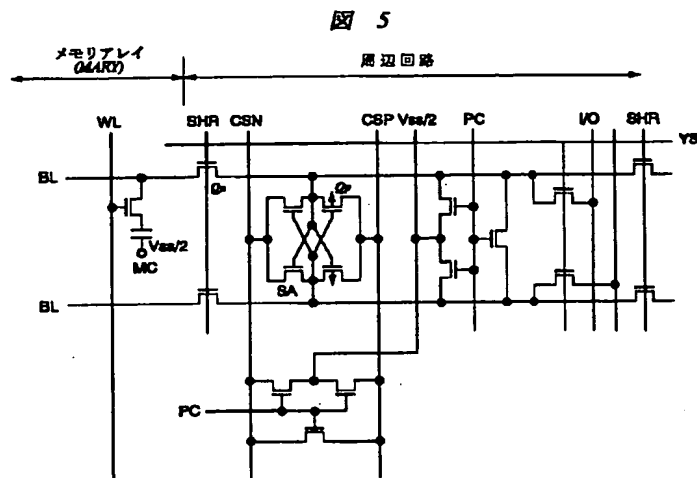


【図4】

図 4

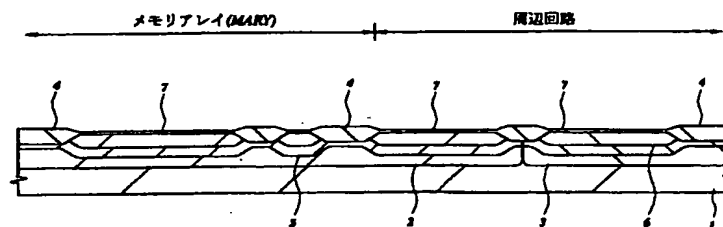


【図5】



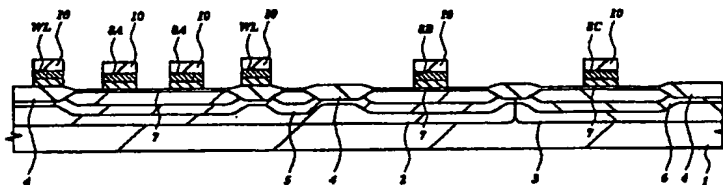
【図6】

図 6



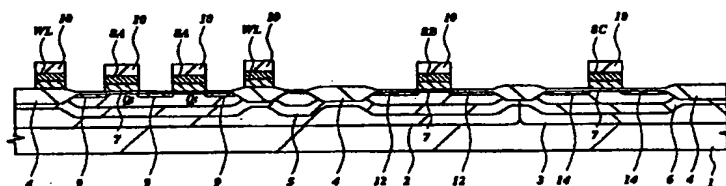
【図7】

図 7



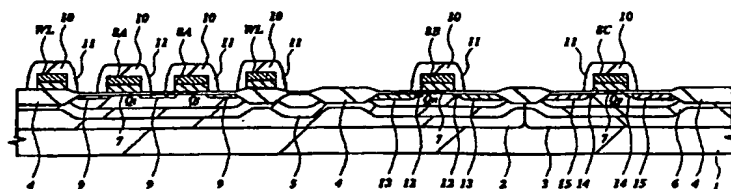
【図8】

図 8



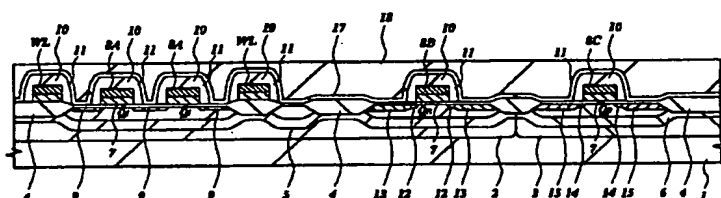
【図9】

図 9



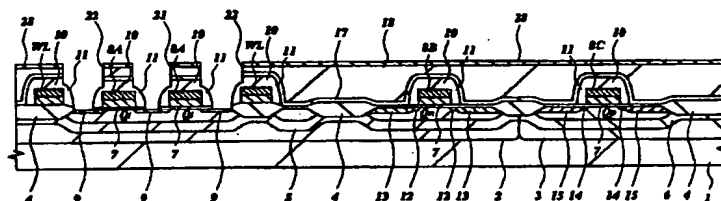
【図10】

図 10



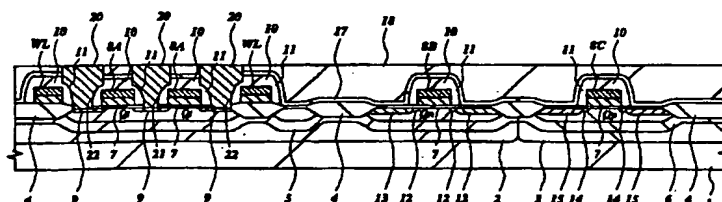
【図11】

図 11



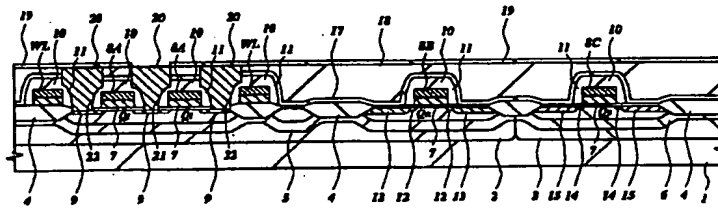
【図12】

図 12



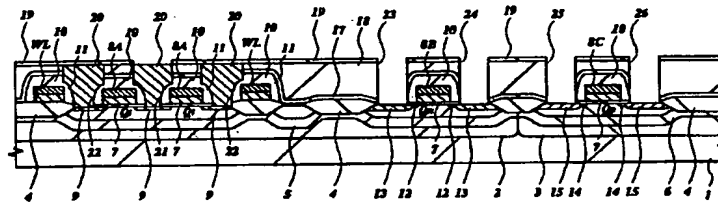
【図13】

図 13



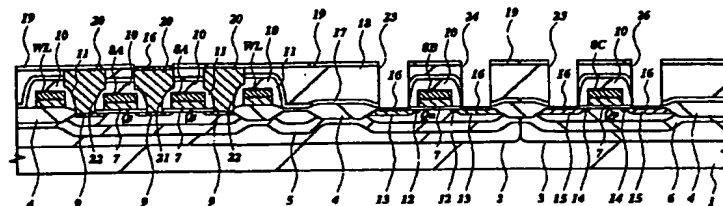
【図14】

図 14



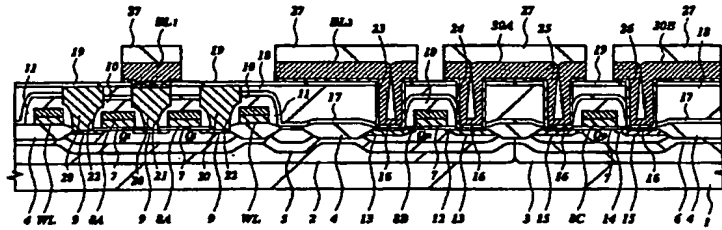
【図15】

図 15



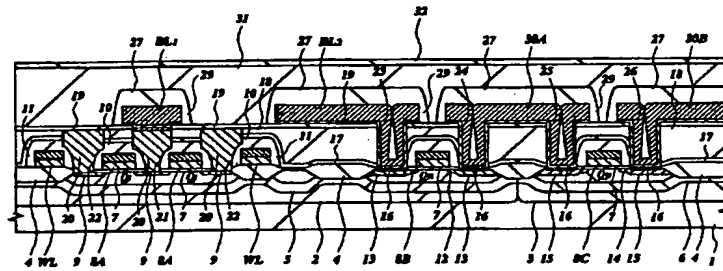
【図16】

図 16



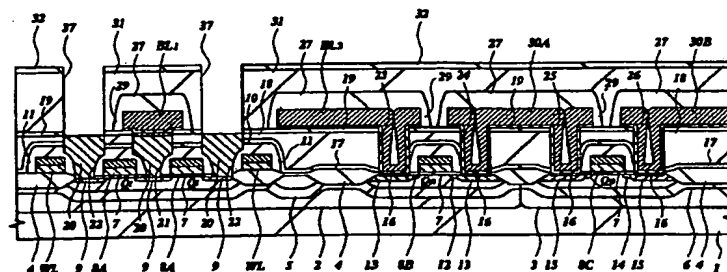
【図17】

図 17



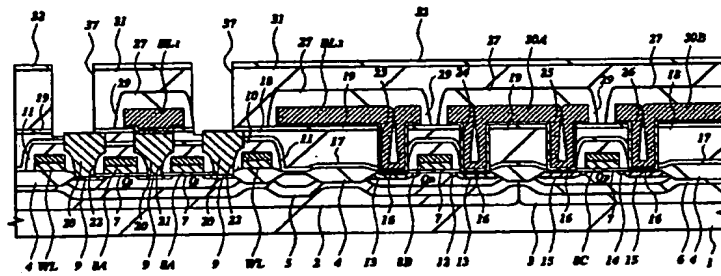
【図18】

図 18



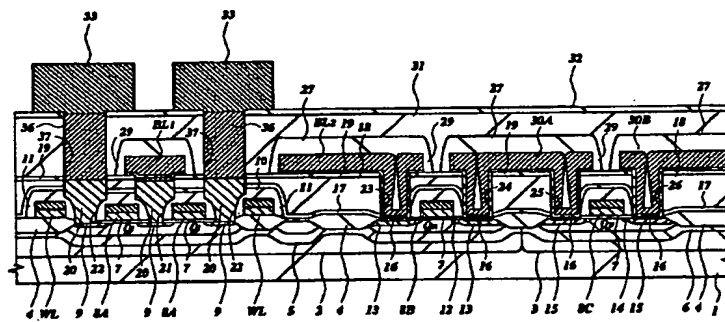
【圖 19】

**19**



【图20】

**20**

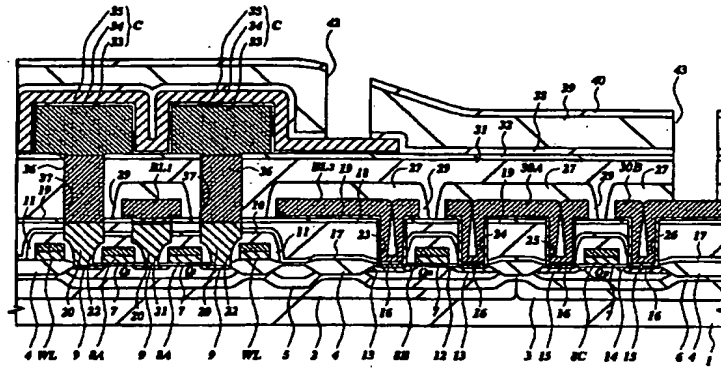






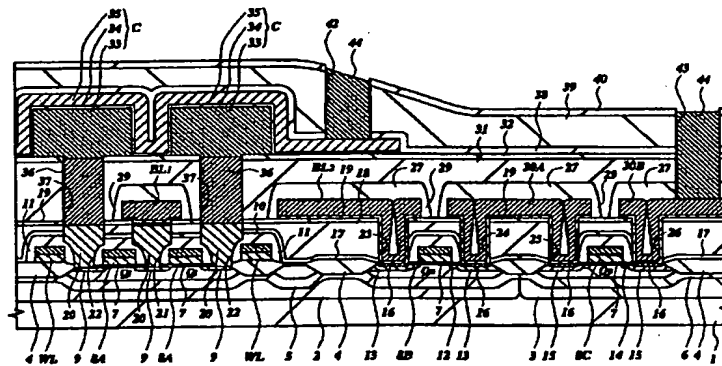
【図23】

図 23



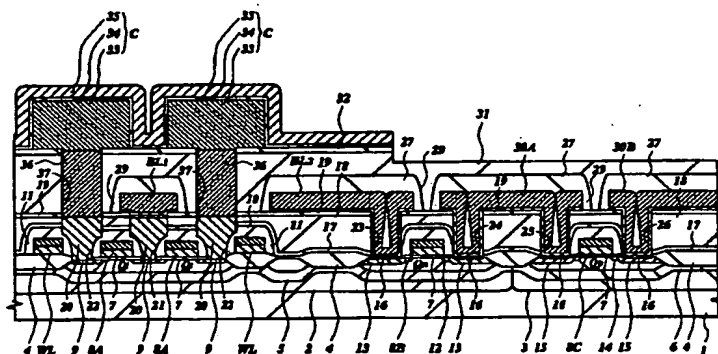
【図24】

図 24



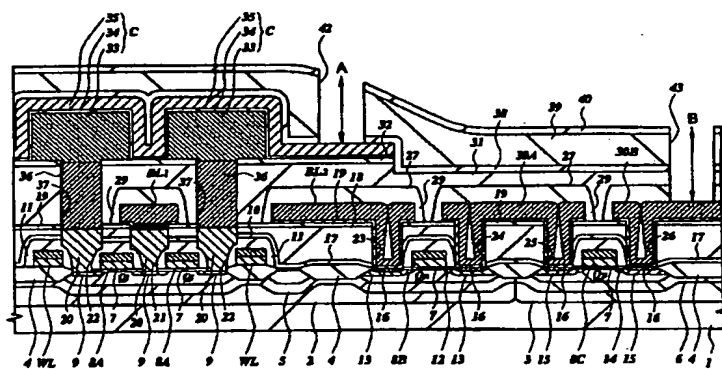
【図25】

図 25



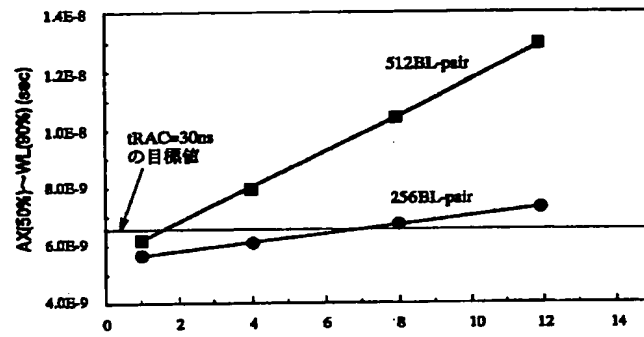
【図26】

図 26



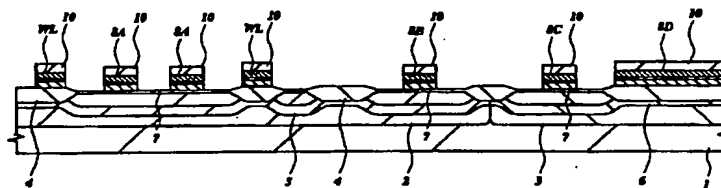
【図27】

図 27



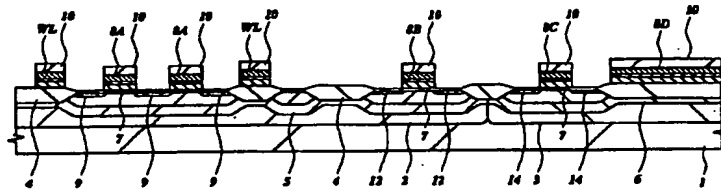
【図28】

図 28



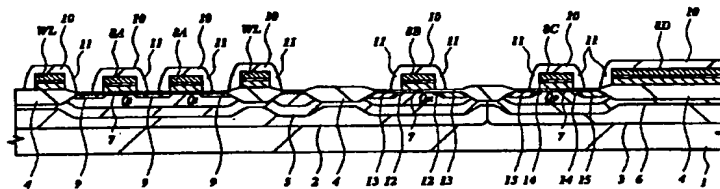
【図29】

図 29



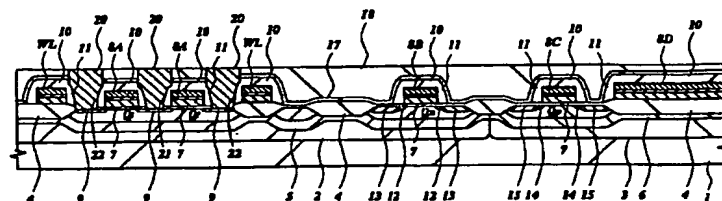
【図30】

図 30



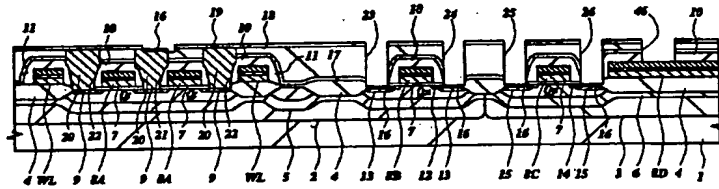
【図31】

図 31



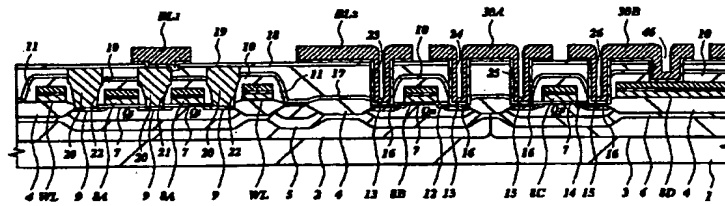
【図32】

図 32



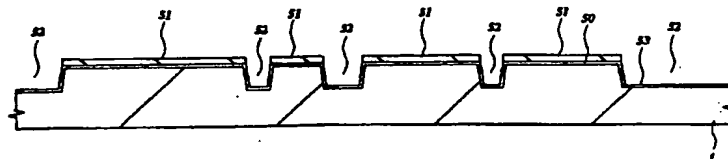
【図33】

図 33



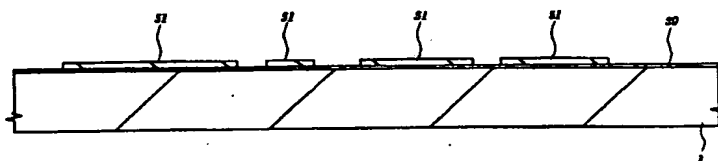
【図35】

図 35



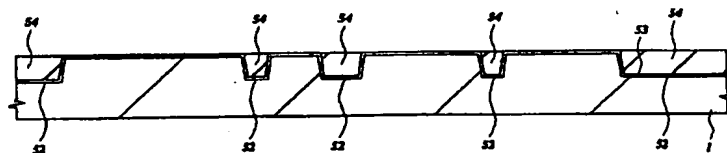
【図34】

図 34



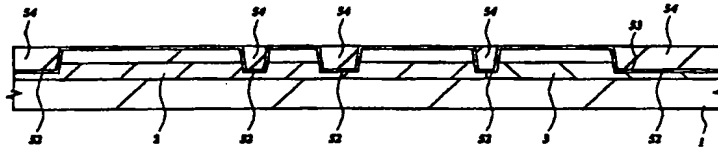
【図36】

図 36



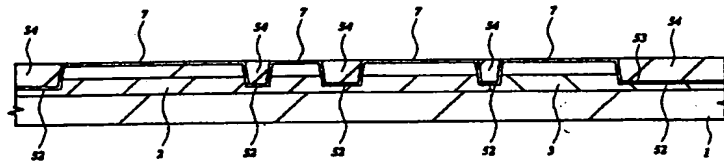
【図37】

図 37



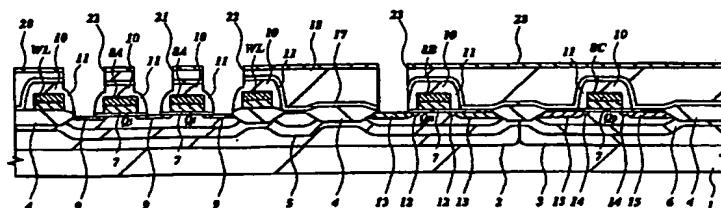
【図38】

図 38



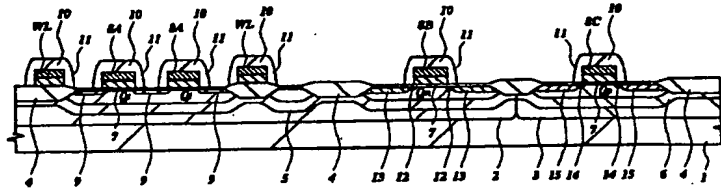
【図40】

図 40



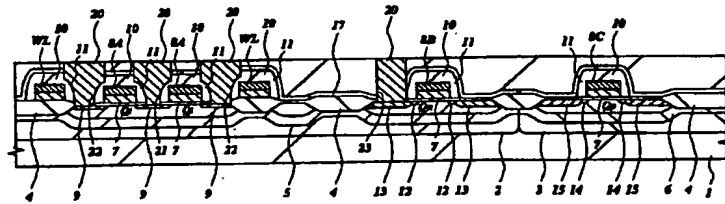
【図39】

図 39



【図41】

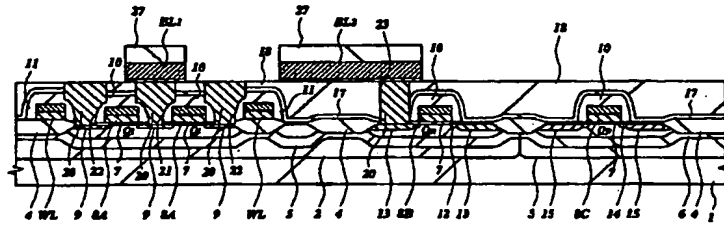
図 41





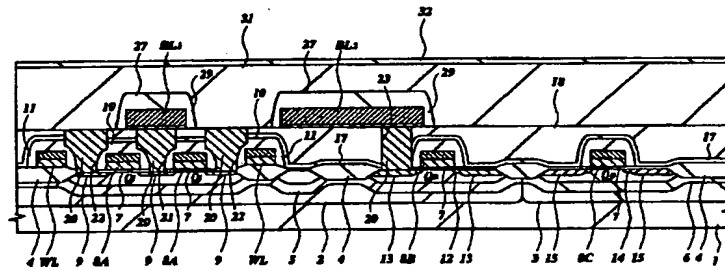
【図42】

図 42



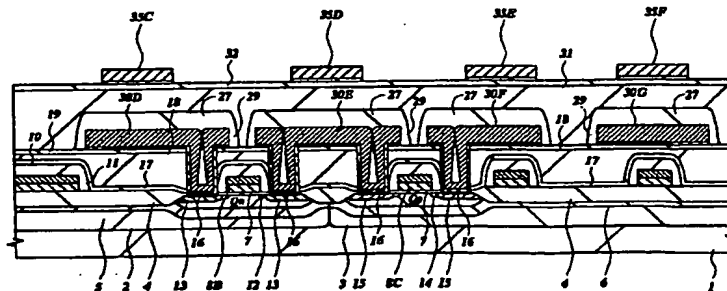
【図43】

図 43



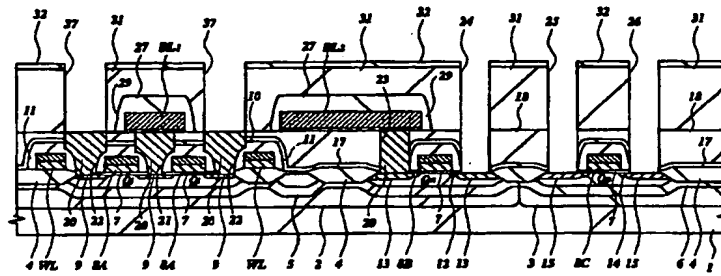
【図57】

図 57



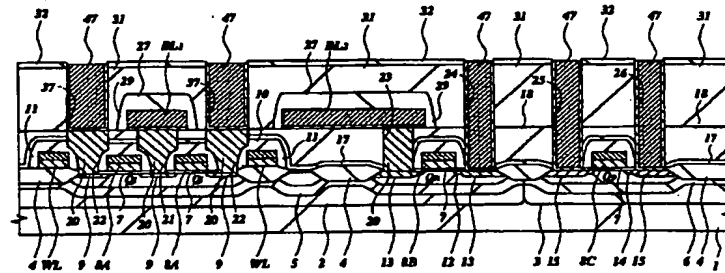
【図44】

図 44



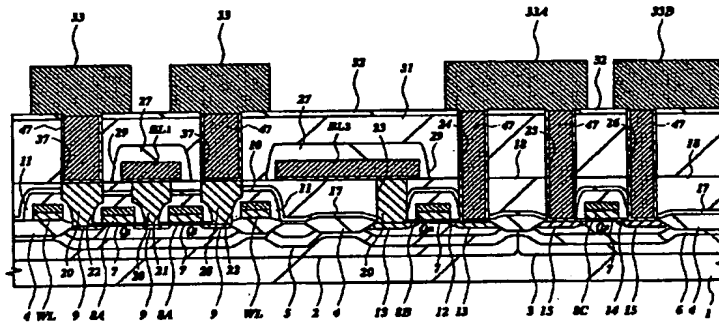
【図45】

図 45



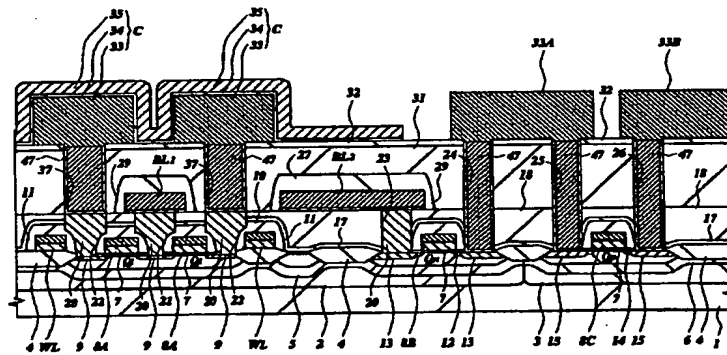
【図46】

図 46



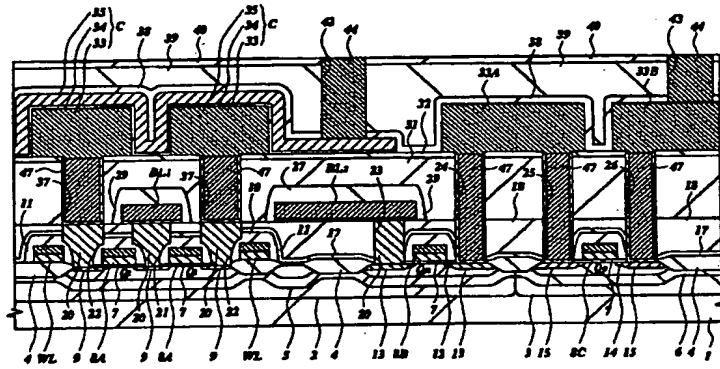
【図47】

図 47



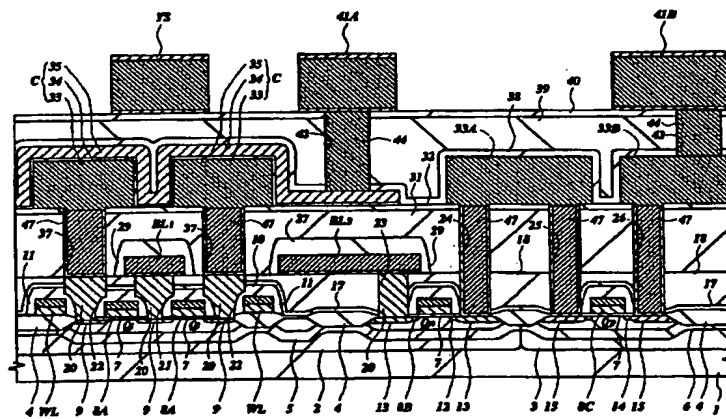
【図48】

図 48



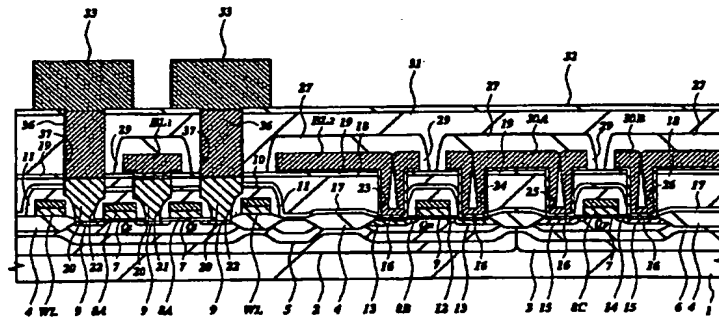
【図49】

図 49



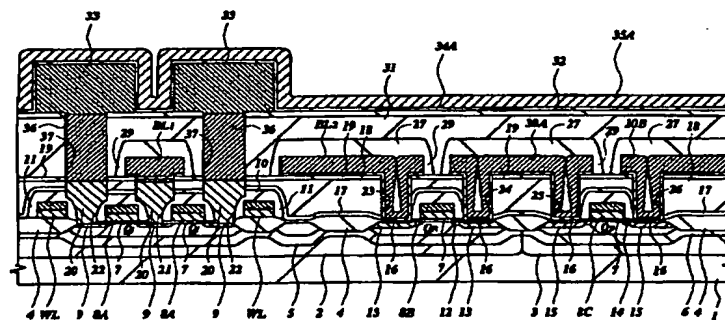
【図50】

図 50



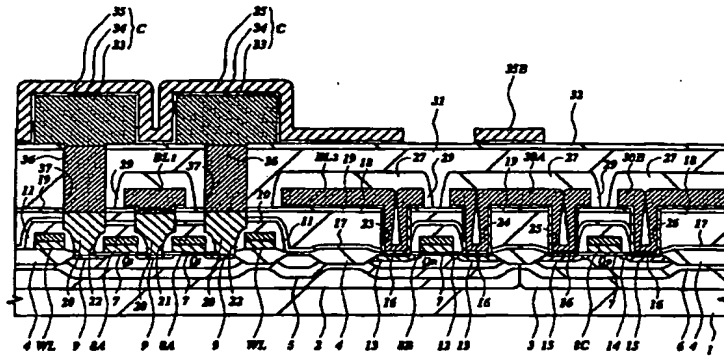
【図51】

図 51



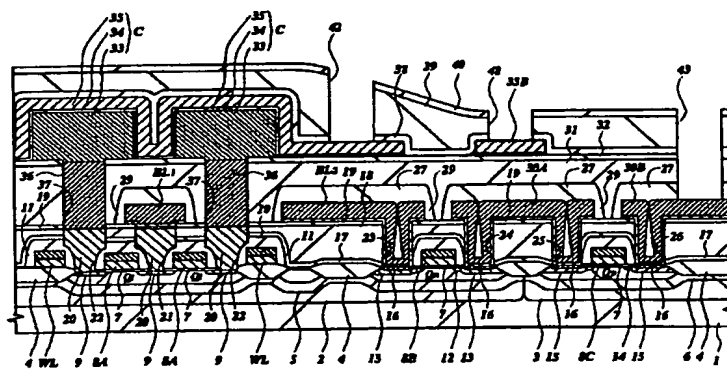
【図52】

図 52



【図53】

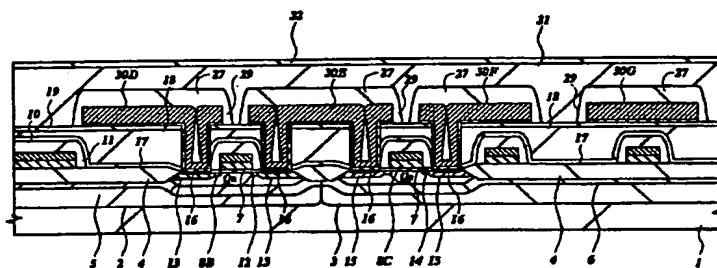
図 53





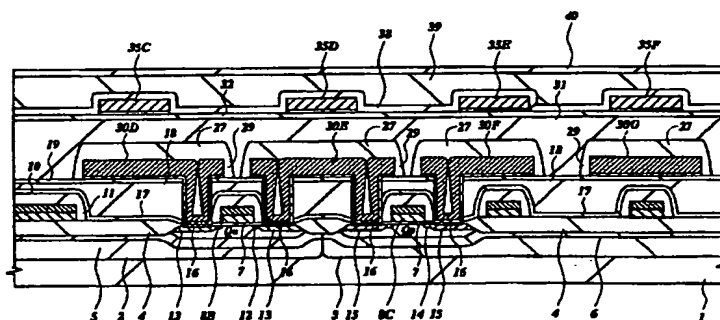
【图 5 6】

**56**



【图 5 8】

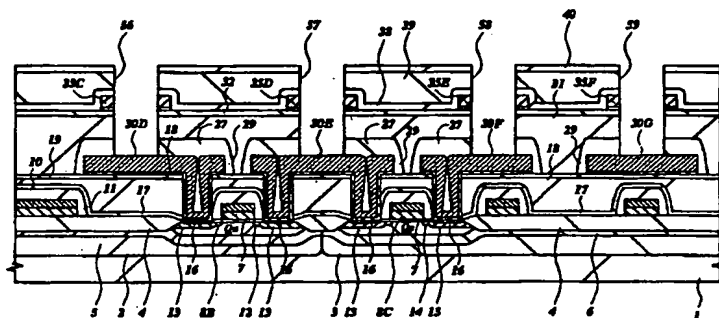
**58**





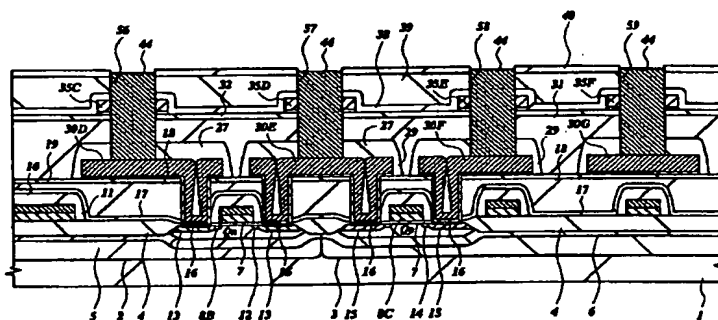
【図59】

図 59



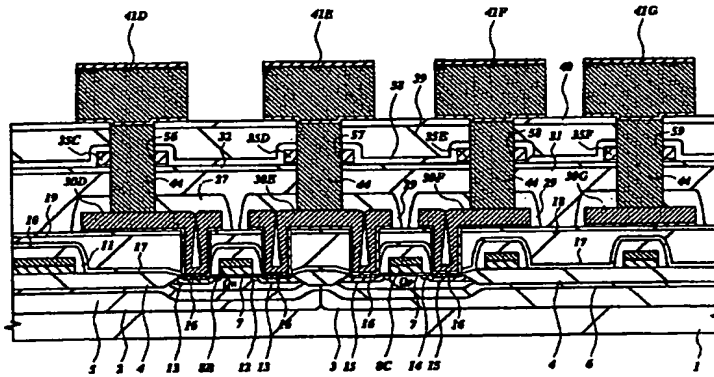
【図60】

図 60

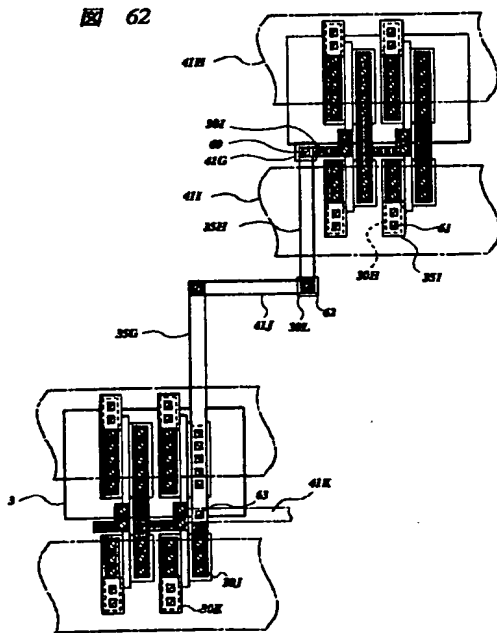


【図61】

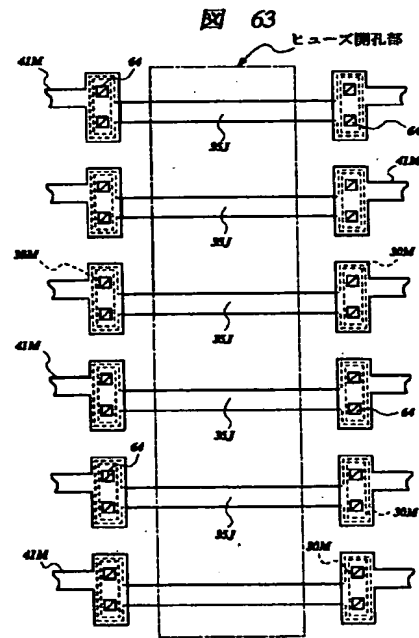
図 61



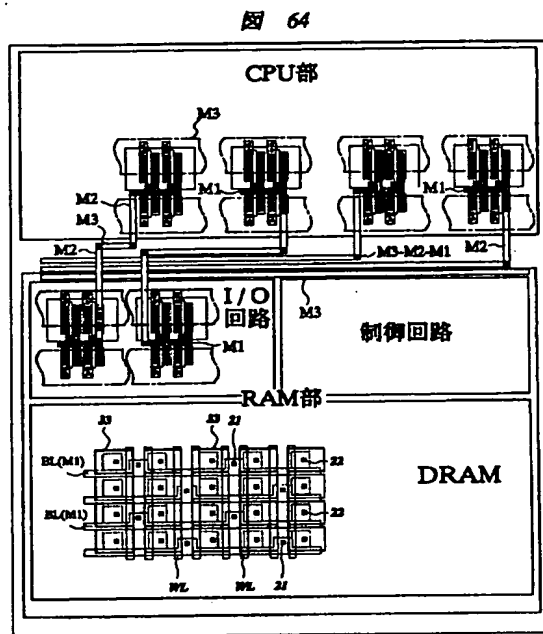
【図62】



【図63】



【図64】



フロントページの続き

(72)発明者 宇田川 哲  
 東京都小平市上水本町五丁目20番1号 株  
 式会社日立製作所半導体事業部内